

Docket No.: 61352-065

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Hiroshi KANNO	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: December 17, 2003	:	Examiner:
	:	
For: TRANSMISSION LINE AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

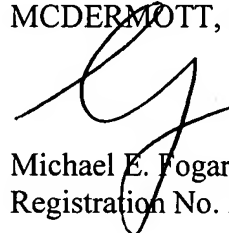
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-224651, filed August 1, 2002

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prg
Facsimile: (202) 756-8087
Date: December 17, 2003

61352-065
Kanno
December 18, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 8 月 1 日
Date of Application:

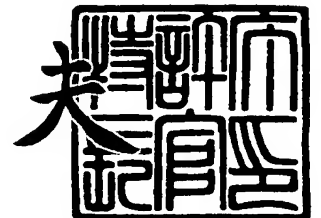
出 願 番 号 特 願 2 0 0 2 - 2 2 4 6 5 1
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 2 4 6 5 1]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 3 年 8 月 1 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 5 7 3 8

【書類名】 特許願

【整理番号】 2033840094

【提出日】 平成14年 8月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 1/067

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 菅野 浩

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 伝送線路及び半導体集積回路装置

【特許請求の範囲】

【請求項 1】 基板と、

上記基板の上に形成された誘電体層と、

上記誘電体層に接して形成された信号配線と、

上記誘電体層を挟んで上記信号配線に対向する容量抵抗体層と、

上記容量抵抗体層に接続される接地導体とを備え、

上記容量抵抗体層は、上記接地導体よりも導電率が低い導体材料によって構成されていることを特徴とする伝送線路。

【請求項 2】 請求項 1 記載の伝送線路において、

上記容量抵抗体層は、クロム、ニッケルクロム合金、タリウム、クロム-酸化珪素複合体、チタン、不純物含有半導体から選ばれた少なくとも 1 つの材料によって構成されていることを特徴とする伝送線路。

【請求項 3】 請求項 1 又は 2 記載の伝送線路において、

上記容量抵抗層の導電率は、 1000 (S/m) 以上で $1 \times 10^7 \text{ (S/m)}$ 以下であることを特徴とする伝送線路。

【請求項 4】 請求項 1 ～ 3 のうちいずれか 1 つに記載の伝送線路において

、
上記信号配線は、上記誘電体層の上に形成されており、

上記容量抵抗層は、上記基板と上記誘電体層との間に介在していることを特徴とする伝送線路。

【請求項 5】 請求項 1 ～ 3 のうちいずれか 1 つに記載の伝送線路において

、
上記信号配線は、上記基板と上記誘電体層との間に形成されており、

上記容量抵抗層は、上記誘電体層の上に形成されていることを特徴とする伝送線路。

【請求項 6】 請求項 1 ～ 5 のうちいずれか 1 つに記載の伝送線路において

上記接地導体は、上記誘電体層の上に設けられていることを特徴とする伝送線路。

【請求項 7】 請求項 1～5 のうちいずれか 1 つに記載の伝送線路において、

上記接地導体は、上記基板の裏面に設けられていることを特徴とする伝送線路。

【請求項 8】 少なくとも 1 つの能動素子が配置される主信号回路と、伝送線路を有し、上記主信号回路にバイアスを供給するためのバイアス供給回路とを備えた半導体集積回路装置において、

上記伝送線路は、

基板と、

上記基板の上に形成された誘電体層と、

上記誘電体層に接して形成された信号配線と、

上記誘電体層を挟んで上記信号配線に対向する容量抵抗体層と、

上記容量抵抗体層に接続される接地導体とを備え、

上記容量抵抗体層は、上記接地導体よりも導電率が低い導体材料によって構成されていることを特徴とする半導体集積回路装置。

【請求項 9】 請求項 8 記載の半導体集積回路装置において、

上記容量抵抗体層は、クロム、ニッケルクロム合金、タリウム、クロム-酸化珪素複合体、チタン、不純物含有半導体から選ばれた少なくとも 1 つの材料によって構成されていることを特徴とする半導体集積回路装置。

【請求項 10】 請求項 8 又は 9 記載の半導体集積回路装置において、

上記信号配線は、上記誘電体層の上に形成されており、

上記容量抵抗層は、上記基板と上記誘電体層との間に介在していることを特徴とする半導体集積回路装置。

【請求項 11】 請求項 8 又は 9 記載の半導体集積回路装置において、

上記信号配線は、上記基板と上記誘電体層との間に形成されており、

上記容量抵抗層は、上記誘電体層の上に形成されていることを特徴とする半導体集積回路装置。

【請求項 1 2】 請求項 8 ～ 1 1 のうちいずれか 1 つに記載の半導体集積回路装置において、

上記接地導体は、上記誘電体層の上に設けられていることを特徴とする半導体集積回路装置。

【請求項 1 3】 請求項 8 ～ 1 1 のうちいずれか 1 つに記載の半導体集積回路装置において、

上記接地導体は、上記基板の裏面に設けられていることを特徴とする半導体集積回路装置。

【請求項 1 4】 請求項 8 ～ 1 3 のうちいずれか 1 つに記載の半導体集積回路装置において、

上記半導体集積回路装置は、上記少なくとも 1 つの能動素子として 1 つの増幅用トランジスタを有する 1 段の高周波増幅器であり、

上記バイアス供給回路は、上記主信号回路の上記能動素子よりも前段側である入力側回路と、上記主信号回路の上記能動素子よりも後段側である出力側回路とのうち少なくとも 1 つのバイアス供給回路であることを特徴とする半導体集積回路装置。

【請求項 1 5】 請求項 8 ～ 1 3 のうちいずれか 1 つに記載の半導体集積回路装置において、

上記半導体集積回路装置は、上記少なくとも 1 つの能動素子として複数の増幅用トランジスタを有する複数段の高周波増幅器であり、

上記バイアス供給回路は、上記主信号回路の上記能動素子よりも前段側である入力側回路と、上記主信号回路の上記能動素子よりも後段側である出力側回路と、上記複数の増幅用トランジスタ間の段間回路とのうち少なくとも 1 つのバイアス供給回路であることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マイクロ波帯域、ミリ波帯域などにおける高周波信号を扱う伝送線路、伝送線路を備えた半導体集積回路装置に関するものである。

【0002】

【従来の技術】

従来、マイクロ波帯域、ミリ波帯域などにおける高周波信号を搬送波として用いる通信装置内において、能動デバイスへ給電するためのバイアス供給回路としては、マイクロストリップ線路やコプレーナ線路などの伝送線路を利用するのが一般的である。

【0003】

図20(a), (b)は、それぞれ一般的なマイクロストリップ線路、コプレーナ線路の構造を概略的に示す断面図である。

【0004】

図20(a)に示すように、マイクロストリップ線路構造は、誘電体基板101と、誘電体基板101の上面に設けられた信号配線102と、誘電体基板101の裏面に設けられ、誘電体基板101を挟んで信号配線に対向する接地導体膜103とを備えている。

【0005】

図20(b)に示すように、コプレーナ線路構造は、誘電体基板101と、誘電体基板101の上面に設けられた信号配線102と、誘電体基板101の上面に設けられ、信号配線102とは所定の間隙を隔てて対向する1対の接地導体膜104とを備えている。

【0006】

そして、通信装置の主信号回路には、主信号回路に共通の電圧を供給するための任意の個数のバイアス端子が、図20(a), (b)に示すような伝送線路を有するバイアス供給回路を介して電氣的に接続されている。この通信装置は、伝送線路、能動素子、受動素子などを共通の誘電体基板上に設けた半導体集積回路装置であるマイクロ波モノリシック集積回路（以下、MMICという）及びこれに付随する周辺回路によって構成されていることが多い。

【0007】

一般に、通信装置であるモジュール内においては、搬送波を効率よく伝送する必要がある。そのためには、MMICやバイアス供給回路を搭載する誘電体基板

が低損失の材料によって構成されていることや、信号配線が高導電率（低抵抗）の材料によって構成されていることなどが必要とされる。

【0008】

そこで、低損失であるガリウム砒素などを誘電体基板材料として用い、伝送線路、能動素子、受動素子などを共通の誘電体基板上に設けたMMICも知られている。

【0009】

図21は、第1の従来の高周波増幅器として機能するモジュール中の出力側の回路構成を示すブロック回路図である。同図に示すモジュール内において、MMICは、能動素子111と、出力端子T_{out}と、能動素子111と出力端子T_{out}とを互いに電氣的に接続する主信号線路112a、112bと、DC阻止キャパシタ118とを有する主信号回路110を備えている。そして、主信号回路110において、入力部（図示せず）で受けた入力信号を能動素子111によって増幅などした後、能動素子111の出力信号を主信号線路112a、112bを通過させて出力端子T_{out}から出力するように構成されている。また、MMICは、主信号線路112a、112bの中間部位から分岐する短絡スタブ113と、短絡スタブ113と接地との間に介設された第1のバイパスコンデンサ114とを備えている。さらに、モジュール全体には、MMICに電源電圧を供給するためのバイアス供給回路120Aが設けられており、該バイアス供給回路120Aは、DCの電源電圧を供給するためのバイアス端子T_{vd}と、2つの伝送線路115、116と、伝送線路115、116間の部位と接地との間に介設された第2のバイパスコンデンサ117とを備えている。

【0010】

ここで、短絡スタブ113は、主信号回路110のRF整合回路として機能するとともに、バイアス供給回路120Aの一部としても機能している。第1のバイパスコンデンサ114の容量値C1は、設計周波数帯域に含まれる高周波信号が短絡処理されるように設定される。第2のバイパスコンデンサ117の容量値C2は低周波数帯域に含まれる高周波信号が短絡処理されるよう大きな値に設定され、この例では、チップコンデンサとして外付けされている。

【0011】

一般に、通信装置においては、主信号回路110からバイアス端子Tvdまでの間の配線経路（バイアス供給回路）において高周波信号が短絡処理されていないと、バイアス供給回路に高周波信号が漏洩するおそれがある。例えば多段増幅器においては、後段増幅器から前段増幅器へ正帰還を起こすよう該伝送線路で接続すると寄生発振を引き起こすおそれがある。そこで、図21に示すモジュールにおいては、バイアス供給回路120A中の伝送線路115をバイパスコンデンサ114、117を挟んで接地するシャントを設けることで、高周波信号中の高周波数成分や低周波数成分を短絡処理するようにしている。

【0012】**【発明が解決すべき課題】**

しかしながら、上記従来の伝送線路や、伝送線路を有する通信装置において、まだまだ解決すべき課題が多い。

【0013】

たとえば、図21に示すモジュール（増幅器）においては、主信号回路110からバイアス端子Tvdまでの間の配線経路において高周波信号が全高周波帯域で十分に短絡処理されているわけではない。そのために、伝送線路により接続される各素子間や各端子間の高周波分離特性が満足できないという課題があった。数十MHz程度の低周波帯域を短絡処理するべく設計された高容量値のチップコンデンサ（例えば図21に示す第2バイパスコンデンサ117）は、接地容量などの寄生成分を有するため数GHz程度以上の高周波帯域を短絡処理することは困難である。そのために、例えば第1のバイパスコンデンサ114のキャパシタンスとバイアス供給回路の伝送線路115、116が有するインダクタンスによって共振が生じることがある。そのとき、伝送線路115に定在波が立って放射が起きるため、共振周波数においては周辺回路と意図しない結合が起きるおそれがある。また、短絡スタブ113に接続される主信号回路110における信号の通過特性は、共振周波数において意図せず改善されてしまう。このため、増幅器全体の特性としても、共振周波数において不要な利得のピークが発生することになる。

【0014】

図22は、上記共振のQ値低減のための構造を付加した第2の従来の高周波増幅器（モジュール）中の出力側の回路構成を示すブロック回路図である。図22に示すように、バイアス供給回路120Bの伝送線路115a, 115bに、抵抗値R1の抵抗体119を介在させることにより、低周波数成分を減衰させて不安定性を改善するように構成されている。

【0015】

しかし、図22に示す構成では、低周波数成分を除去するためには抵抗体119の電気抵抗値を大きく設定する必要がある、その場合には、バイアス端子Tvdから供給される電源電圧の電圧降下が大きくなる。すなわち、MMICの駆動電圧を低下させるために、MMICにおける増幅効率を悪化させる等の不具合を招くおそれがある。

【0016】

図23は、文献（チェン他著：“One Watt Q-Band Class A Pseudomorphic HEMT MMIC Amplifier”，1994年 IEEE MTT-S ダイジェスト p.p.805-808参照）に開示される、共振のQ値低減のための別の構造を付加した第3の従来の高周波増幅器（モジュール）中の出力側の回路構成を示すブロック回路図である。この例では、バイパス供給回路をRC直列回路123で並列に短絡処理する方法がとられている。図23に示す高周波増幅器において、図22に示す第2の従来の高周波増幅器の出力回路との相違点は、第1のバイパスコンデンサ114と第2のバイパスコンデンサ117との間には、接地に接続される第3のバイパスコンデンサ122が並列に配置されており、伝送線路115a-115b間の部位と第3のバイパスコンデンサ122との間に、抵抗値R2の抵抗体121が配置されていることである。言い換えると、安定化回路として機能するRC直列回路123がバイアス供給回路120Cの一部と接地との間に挿入された構成である。

【0017】

ここで、第3のバイパスコンデンサ122の容量値C3は、第1, 第2のバイパスコンデンサ114, 117によって短絡されない中間周波数帯域の高周波信

号が短絡されるよう設定される。また、抵抗体 121 を介設しているのは、設計周波数帯域よりも低い低周波帯域の高周波信号における不要利得を低減し、高周波増幅器の安定度を向上させるべく、中間周波数帯域の高周波信号に損失を与えて短絡処理するためである。

【0018】

しかしながら、図 23 に示す高周波増幅器においては、中間周波数帯域の高周波信号を短絡処理するために十分な容量値のバイパスコンデンサ 122 と、抵抗体 121 とを図 21 に示す高周波増幅器に追加して配置する必要が生じ、モジュール全体の回路面積の増大を招くことから好ましくない。

【0019】

また、マイクロストリップ線路を伝送線路とする高周波増幅器においては、接地回路としてバイアホールをも追加配置する必要が生じ、回路面積をさらに増大させることになり、好ましくない。

【0020】

また、図 23 に示す高周波増幅器において、RC 直列回路 123 を他の回路素子に近接して配置すると、隣接する他の回路（例えば主信号回路 110）との電磁氣的結合が生じ、高周波増幅器が不安定になるという不具合も生じるおそれがあった。これを回避すべく、RC 直列回路 123 を主信号回路 110 から遠ざけて配置する方法も考えられるが、そうすると、回路面積をさらに増大させることになり、好ましくない。

【0021】

上述のような不具合は、増幅器だけでなく、ミキサ（混合器）、周波数逡倍器、スイッチ、アッテネータ、分周器、直交変調器等の半導体集積回路装置全般に共通の不具合である。

【0022】

本発明の目的は、伝送線路に接続される端子同士の間の高周波分離特性を改善するための伝送線路と、高周波特性が優れ小型化の可能な半導体集積回路装置とを提供することにある。

【0023】

【課題を解決するための手段】

本発明の伝送線路は、基板と、上記基板の上に形成された誘電体層と、上記誘電体層に接して形成された信号配線と、上記誘電体層を挟んで上記信号配線に対向する容量抵抗体層と、上記容量抵抗体層に接続される接地導体とを備え、上記容量抵抗体層は、上記接地導体よりも導電率が低い導体材料によって構成されている。

【0024】

これにより、伝送線路において、誘電体層を挟んで相対向する信号配線と容量抵抗体層との各部分によって、容量と抵抗とからなる多数の R C 直列成分が並列に配置された分布定数回路が形成されるので、バイアス供給回路を流れる信号の高周波数成分が減衰する機能が得られる。したがって、バイアス供給回路を高周波信号を扱う回路に接続した場合に、当該回路からバイアス供給回路に漏洩する高周波電力を効率よく低減することができる。言い換えると、伝送線路が接続される端子間の高周波分離特性を向上させることができる。

【0025】

上記容量抵抗体層は、クロム、ニッケルクロム合金、タリウム、クロム－酸化珪素複合体、チタン、不純物含有半導体から選ばれた少なくとも 1 つの材料によって構成されていることが好ましい。

【0026】

上記容量抵抗層の導電率は、 1000 (S/m) 以上で $1 \times 10^7\text{ (S/m)}$ 以下であることが好ましい。

【0027】

上記伝送線路として、上記信号配線は、上記誘電体層の上に形成されており、上記容量抵抗層は、上記基板と上記誘電体層との間に介在している構造を採ることができる。

【0028】

また、上記伝送線路として、上記信号配線は、上記基板と上記誘電体層との間に形成されており、上記容量抵抗層は、上記誘電体層の上に形成されている構造を採ることができる。

【0029】

上記接地導体が、上記誘電体層の上に設けられている場合には、コプレーナ線路構造を有する高周波回路に適した伝送線路が得られる。

【0030】

上記接地導体が上記基板の裏面に設けられている場合には、マイクロストリップ線路構造を有する高周波回路に適した伝送線路が得られる。

【0031】

本発明の半導体集積回路装置は、少なくとも1つの能動素子が配置される主信号回路と、伝送線路を有し、上記主信号回路にバイアスを供給するためのバイアス供給回路とを備えた半導体集積回路装置において、上記伝送線路は、基板と、上記基板の上に形成された誘電体層と、上記誘電体層に接して形成された信号配線と、上記誘電体層を挟んで上記信号配線に対向する容量抵抗体層と、上記容量抵抗体層に接続される接地導体とを備え、上記容量抵抗体層は、上記接地導体よりも導電率が低い導体材料によって構成されている。

【0032】

これにより、伝送線路において、誘電体層を挟んで相対向する信号配線と容量抵抗体層との各部分によって、容量と抵抗とからなる多数のRC直列成分が並列に配置された分布定数回路が形成されるので、バイアス供給回路を流れる信号の高周波数成分が減衰する機能が得られる。したがって、主信号回路からバイアス供給回路に漏洩する高周波電力を効率よく低減することができるので、主信号回路の高周波特性の向上を図ることができる。その場合、上記伝送線路により、大きなキャパシタを設けることなく上述の効果を発揮しうるので、半導体集積回路装置の小型化を図ることができる。

【0033】

上記容量抵抗体層は、クロム、ニッケルクロム合金、タリウム、クロム-酸化珪素複合体、チタン、不純物含有半導体から選ばれた少なくとも1つの材料によって構成されていることが好ましい。

【0034】

上記半導体集積回路装置として、上記信号配線は、上記誘電体層の上に形成さ

れており、上記容量抵抗層は、上記基板と上記誘電体層との間に介在している構造を採ることができる。

【0035】

上記半導体集積回路装置として、上記信号配線は、上記基板と上記誘電体層との間に形成されており、上記容量抵抗層は、上記誘電体層の上に形成されている構造を採ることができる。

【0036】

上記接地導体が上記誘電体層の上に設けられている場合には、コプレーナ線路構造を有する高周波回路に適した構造が得られる。

【0037】

上記接地導体が上記基板の裏面に設けられている場合には、マイクロストリップ線路構造を有する高周波回路に適した構造が得られる。

【0038】

上記半導体集積回路装置が、上記少なくとも1つの能動素子として1つの増幅用トランジスタを有する1段の高周波増幅器である場合には、上記バイアス供給回路は、上記主信号回路の上記能動素子よりも前段側である入力側回路と、上記主信号回路の上記能動素子よりも後段側である出力側回路とのうち少なくとも1つのバイアス供給回路であればよい。

【0039】

上記半導体集積回路装置が、上記少なくとも1つの能動素子として複数の増幅用トランジスタを有する複数段の高周波増幅器である場合には、上記バイアス供給回路は、上記主信号回路の上記能動素子よりも前段側である入力側回路と、上記主信号回路の上記能動素子よりも後段側である出力側回路と、上記複数の増幅用トランジスタ間の段間回路とのうち少なくとも1つのバイアス供給回路であればよい。

【0040】

【発明の実施の形態】

（第1の実施の形態）

図1は、本発明の第1の実施形態の伝送線路の構成を概略的に示す断面図であ

る。

【0041】

同図に示すように、本実施形態の伝送線路は、誘電体基板 1 と、誘電体基板 1 の上面上に設けられた誘電体膜 2 と、誘電体膜 2 の上面上に設けられた第 1 導体材料からなる信号配線 3 と、誘電体基板 1 と誘電体膜 2 との間に介在し信号配線 3 とは誘電体膜 2 を挟んで対向する、第 2 導体材料からなる容量抵抗体層 4 と、誘電体膜 2 の上面上に設けられ、信号配線 3 と所定の間隙を隔てて対向する 1 対の接地導体 5 と、誘電体膜 2 を貫通して容量抵抗体層 4 と接地導体 5 とを互いに接続する貫通電極 6 とを備えている。

【0042】

ここで、第 2 導体材料は、第 1 導体材料と比較して導電率が低い材料であり、導電率が高い信号配線 3 は外部回路に接続されている。

【0043】

－実施例 1－

本発明の第 1 の実施形態の実施例 1 として、図 1 に示す構造の伝送線路を以下の条件で作成した。誘電体基板 1 を厚さ $500\mu\text{m}$ 、誘電率 13 のガリウム砒素 (GaAs) により構成し、誘電体膜 2 を厚さ $1\mu\text{m}$ 、誘電率 7 の窒化珪素 (SiN) により構成し、信号配線 3 と接地導体 5 とを導電率 30000000 (S/m) 、厚さ $5\mu\text{m}$ の金により構成した。また、ガリウム砒素からなる誘電体基板 1 の表面部に基板表面の厚さ $0.2\mu\text{m}$ 、導電率 40000 (S/m) の不純物拡散層を形成し、この不純物拡散層を容量抵抗体層 4 として用いた。信号配線 3 の配線幅は $20\mu\text{m}$ とし、容量抵抗体層 4 の配線幅を $100\mu\text{m}$ とし、誘電体膜 2 を挟んで、信号配線 3 と容量抵抗体層 4 との各中心線が対向するように配置した。また、信号配線 3 の両側に長さ 5mm に亘って幅 20mm の接地導体 5 を形成した。信号配線 3 と接地導体 5 との間の距離は $30\mu\text{m}$ としている。また、接地導体 5 と外部高周波グラウンド (図示せず) との間は、多数のワイヤボンディングにより $200\mu\text{m}$ 間隔ごとに電氣的に接続し、接地導体 5 の高周波接地機能を強化した。誘電体膜 2 を貫通する半径 $5\mu\text{m}$ の貫通電極 6 を金により形成し、 $100\mu\text{m}$ 間隔ごとに接地導体 5 と容量抵抗体層 4 との間を接続し、容量抵抗

体層 4 を短絡処理した。

【0 0 4 4】

図 2 は、実施例 1 の伝送線路の通過損失の周波数依存特性を示すデータである。同図における縦軸は、高周波信号の通過時に伝送線路において生じる実効的な損失を示しており、最大有能電力利得に -1 を乗じた値になっている。同図に示すように、実施例 1 の伝送線路の通過損失は、 1 GHz で 1.1 dB 、 5 GHz では 14.2 dB 、 10 GHz では 30.4 dB であった。

【0 0 4 5】

－比較例 1－

実施例 1 との通過損失の比較のために、比較例 1 の伝送線路を作成した。比較例 1 の伝送線路においては、図 1 に示す容量抵抗体層 4 や貫通電極 6 は設けずに、つまり、一般的なコプレーナ線路のみの構造とし、他の部材の材質や寸法は、実施例 1 と同様としている。比較例 1 の伝送線路 5 mm 長あたりの損失は、 1 GHz で 0.1 dB 、 5 GHz で 0.2 dB 、 10 GHz で 0.3 dB であり、高周波信号を減衰させることが確認された。また、実施例 1 と比較例 1 の各伝送線路との間において、直流抵抗値に変化がなかったことはいうまでもない。

【0 0 4 6】

よって、本実施形態の伝送線路により、直流電力を減衰させることなく、高周波電力を減衰させることができる。つまり、本実施形態の伝送線路をバイアス回路に配置することにより、能動素子が配置された回路から周辺回路に漏れる高周波電力を減衰させることができ、バイアス供給回路を備えた高周波特性の優れた半導体集積回路装置を構成することができる。

【0 0 4 7】

－本発明の原理－

以下、本発明の伝送線路における高周波信号が減衰する原理について説明する。図 3 (a), (b) は、それぞれ順に、従来の伝送線路と本発明の伝送線路との等価回路図である。図 3 (a) に示すように、従来の伝送線路の高周波領域における等価回路は、単位長さあたりの信号配線 (図 1 に示す信号配線 3) と接地導体 (図 1 に示す接地導体 5) との間のキャパシタンス C_d と、信号伝送時の単

位長さあたりの信号位相変化を表すインダクタンス L_d とがそれぞれ分布して存在する回路となる。

【0048】

一方、図3(b)に示すように、本発明の伝送線路においては、信号配線3と接地導体5との間に導電率の低い容量抵抗体層4が介在している。図3(b)の紙面に垂直な方向において、容量抵抗体層4及び信号配線3の相対向する各部分同士の間にはキャパシタンス C_{add} が生じ、信号配線3の各部分毎に誘導 L_d が生じ、容量抵抗体層4の各部分ごとに抵抗 R_{add} が生じている。そして、図3(b)に示す紙面に平行な方向においては、この抵抗 R_{add} が接地（接地導体5）とキャパシタンス C_{add} との間に介在するので、信号の減衰機能が向上することになる。この場合、信号配線3と容量抵抗体層4との相対向する各部分は、明確に区画されているわけではなく、連続している。ただし、図1に示す貫通電極6がある間隔毎に設けられている場合には、貫通電極6ごとに各部分が存在していると考えることができる。

【0049】

ここで、信号配線3と容量抵抗体層4との間のキャパシタ（キャパシタンス C_{add} ）はシャントのキャパシタンスとして機能しており、キャパシタの容量に応じて定まる所定周波数よりも低い低周波数帯域の信号を遮断して、所定周波数以上の高周波数帯域の信号を通過させるフィルタとして機能するキャパシタの特徴を考慮すると、低周波数帯域まで本発明の効果（電力の減衰）を維持するためには、キャパシタンス C_{add} の値を高く設定することが有効であることが分かる。そして、キャパシタンス C_{add} の値を高く設定するためには、誘電体膜2を構成する材料の誘電率を高く設定すること、誘電体膜2の厚さを薄く設定すること、信号配線3および容量抵抗体層4の配線幅を広く設定することが有効である。

【0050】

一方、抵抗値 R_{add} は、容量抵抗体層4のシート抵抗、すなわち容量抵抗体層4を構成する第2導体材料の導電率、および容量抵抗体層4の厚さに依存する。また、信号配線3と容量抵抗体層4との間のキャパシタとして機能している領域から接地導体5に接続される領域までの距離にも大きく依存する。以上の原理を

もとに、キャパシタンス C_{add} と抵抗値 R_{add} との値を実効的に変化させて、本発明の伝送線路の有利な効果を得た各実施例を以下に示す。

【0 0 5 1】

－実施例 2－

第 1 の実施形態の実施例 2 として、実施例 1 における信号配線 3 の幅を $50\ \mu\text{m}$ に、容量抵抗体層 4 の幅を $100\ \mu\text{m}$ とした伝送線路を作成した。信号配線 2 と接地導体 5 との間の距離は $15\ \mu\text{m}$ としている。その他の条件は、実施例 1 と同様である。

【0 0 5 2】

図 4 は、実施例 2 の伝送線路の通過損失の周波数依存性を示すデータである。同図における縦軸は、高周波信号の通過時に伝送線路において生じる実効的な損失を示しており、最大有能電力利得に -1 を乗じた値になっている。同図に示すように、実施例 2 の伝送線路 5mm 長あたりの伝送損失は、 1GHz で 2.1dB 、 5GHz で 15.2dB 、 10GHz で 29.2dB であった。ここで、 1GHz に対する伝送損失が増加したのは、信号配線 3 の幅の増大により容量抵抗体層 4 との間に生じるキャパシタンスが増加し、低周波帯域の信号に対しても本発明による作用効果が強く発揮されたからである。一方、 10GHz に対する伝送損失が実施例 1 と比較して若干減少したのは、信号配線 3 の幅の増加に伴い信号配線 3 と容量抵抗体層 4 とが対向する領域の面積が増えたことにより、該対向領域と容量抵抗体層 4 のうちの対向領域を除く領域の幅が減少し、短絡処理される前に高周波信号に印加される抵抗値が減少したことによるものである。

【0 0 5 3】

－実施例 3－

第 1 の実施形態の実施例 3 として、実施例 1 における誘電体膜 2 の厚みを信号配線 3 と容量抵抗体層 4 とが相対向する領域のみ、 $1\ \mu\text{m}$ から $0.2\ \mu\text{m}$ へと薄くした伝送線路を作成した。実施例 1 における信号配線 3 の幅を $50\ \mu\text{m}$ に、容量抵抗体層 4 の幅を $100\ \mu\text{m}$ とした。信号配線 2 と接地導体 5 との間の距離は $15\ \mu\text{m}$ としている。その他の条件は、実施例 1 と同様である。

【0 0 5 4】

図5は、実施例3の伝送線路の通過損失の周波数依存性を示すデータである。同図における縦軸は、高周波信号の通過時に伝送線路において生じる実効的な損失を示しており、最大有能電力利得に -1 を乗じた値になっている。同図に示すように、実施例3の伝送線路5mm長あたりの伝送損失は、1GHzで2.8dB、5GHzで18.2dB、10GHzで33.2dBであった。ここで、本実施例における伝送損失が増加したのは、信号配線3と容量抵抗体層4との間の距離の低減により、信号配線3と容量抵抗体層4との間に生じるキャパシタンスが増加し、本発明の作用効果が増大したからである。

【0055】

－実施例4－

第1の実施形態の実施例4として、実施例1における誘電体膜2を窒化珪素膜からチタン酸ストロンチウム膜へと変更した伝送線路を作成した。その他の条件は実施例1と同様である。

【0056】

図6は、実施例4における伝送線路の通過損失の周波数依存性を示すデータである。同図における縦軸は、高周波信号の通過時に伝送線路において生じる実効的な損失を示しており、最大有能電力利得に -1 を乗じた値になっている。同図に示すように、実施例4の伝送線路5mm長あたりの伝送損失は、1GHzで18.2dB、5GHzで36.1dB、10GHzで50dB以上であった。ここで、本実施例の伝送線路において、特に1GHzに対する伝送損失が増加したのは、誘電体膜2の誘電率が実施例1では7であったのに比べ、本実施例では150に増大し、信号配線3と容量抵抗体層4との間に生じるキャパシタンスが増大したことに起因している。

【0057】

(第2の実施形態)

第1の実施形態では、接地導体5が誘電体膜2の上面に設けられていたが、本実施形態では、接地導体を誘電体基板の下面に設ける構造とする。

【0058】

図7は、第2の実施形態の伝送線路の構造を示す断面図である。同図に示すよ

うに、本実施形態の伝送線路は、誘電体基板 1 と、誘電体基板 1 の上面上に設けられた誘電体膜 2 と、誘電体膜 2 の上面上に設けられた第 1 導体材料からなる信号配線 3 と、誘電体基板 1 と誘電体膜 2 との間に介在し、信号配線 3 とは誘電体膜 2 を挟んで対向する、第 2 導体材料からなる容量抵抗体層 4 と、誘電体膜 2 の下面上に設けられた接地導体 11 と、誘電体膜 2 を貫通して容量抵抗体層 4 と接地導体 11 とを互いに接続する貫通電極 6 とを備えている。

【0059】

また、接地導体 11 は、はんだ 12 を介して外部高周波グラウンド 13 に全面で接続されており、接地導体 11 の高周波接地機能が強化されている。

【0060】

本実施形態の伝送線路においては、第 1 の実施形態において信号配線 3 と接地導体 5 との間に形成されるコプレーナ線路が存在していない。コプレーナ線路が存在している場合には、信号配線 3 と接地導体 5 の間の空間に電界が存在し、キャパシタンスが現れる。その結果、各要素の材料や寸法によっては、容量抵抗体層 4 のキャパシタ成分と抵抗成分を介して短絡処理するという発明本来の作用が薄れるおそれがある。それに対し、本実施形態では、信号配線 3 と接地導体 11 とは容量抵抗体層 4 を挟んで遠く離れているので、各要素の寸法や材料に拘わらず、信号配線 3 と接地導体 11 との間に、大きなキャパシタンスが現れることがない。

【0061】

－実施例 5－

ここで、第 2 の実施形態の実施例として、信号配線 3，誘電体膜 2，誘電体基板 1 及び接地導体 11 の厚みや材質を第 1 の実施形態の実施例 1 と同じとし、貫通電極 6 の電極径，材料及び形成周期を第 1 の実施形態の実施例 1 と同じとした実施例 5 の伝送線路を作成した。

【0062】

図 8 は、第 2 の実施形態の実施例（実施例 5）における伝送線路の通過損失の周波数依存性を示すデータである。同図における縦軸は、高周波信号の通過時に伝送線路において生じる実効的な損失を示しており、最大有能電力利得に－1 を

乗じた値になっている。同図に示すように、本実施例の伝送線路 5 mm 長あたりの通過損失は、1 GHz で 1.4 dB、5 GHz で 15.0 dB、10 GHz で 30.6 dB であった。すなわち、本実施例においては、第 1 の実施例の実施例 1 とほぼ同様の高周波減衰特性が得られ、容量抵抗体層 4 と接地導体 11 との接続方法の変化によっても本発明の作用効果が維持されていることが示された。

【0063】

(第 3 の実施形態)

図 9 は、本発明の第 3 の実施形態の伝送線路の構成を概略的に示す断面図である。

【0064】

同図に示すように、本実施形態の伝送線路は、誘電体基板 1 と、誘電体基板 1 の上面上に設けられた第 1 導体材料からなる信号配線 3 と、誘電体基板 2 及び信号配線 3 を覆う誘電体膜 2 と、誘電体膜 2 の上面上に設けられ信号配線 3 とは誘電体膜 2 を挟んで対向する、第 2 導体材料からなる容量抵抗体層 21 と、誘電体膜 2 の上面上から誘電体基板 1 の下面に亘って設けられ、容量抵抗体層 21 に接続される接地導体 22 とを備えている。

【0065】

つまり、本実施形態の伝送線路は、第 1 の実施形態の伝送線路において信号配線 3 を誘電体膜 2 の上面に容量抵抗体層 4 を誘電体膜 2 の下面に設けていた構造をいわば逆転し、誘電体膜 2 の下面に信号配線 3 を設け、誘電体膜 2 の上面に容量抵抗体層 21 を設けたものと捉えることができる。

【0066】

本実施形態では、容量抵抗体層 21 を形成した後に接地導体 22 を形成することにより、接地導体 22 と容量抵抗体層 21 がオーバーラップして配置される領域 R_{ov} が誘電体膜 2 の上面に幅 $10\ \mu\text{m}$ に亘って形成されるが、このオーバーラップ領域 R_{ov} において容量抵抗体層 21 と接地導体 22 との間の電氣的接続が行なわれる。すなわち、本実施形態においては、高周波接地のために貫通電極は使用していない。

【0067】

－実施例 6－

第 3 の実施形態の実施例として、誘電体基板 1、誘電体膜 2 の材料は第 1 の実施例 1 と同じで、信号配線 3 を厚さ $0.2 \mu\text{m}$ 、導電率 20000000 (S/m) の金により構成し、容量抵抗体層 21 を厚さ 20 nm 、導電率 150000 (S/m) のニッケルクロム合金を用いた実施例 6 の伝送線路を作成した。ニッケルクロム合金膜の形成は、例えば、ニッケル 70%、クロム 30% の組成比の合金を電子ビーム蒸着し、毎分 1000 オングストローム の成長速度で成膜することにより行なう。信号配線 3 と容量抵抗体層 21 との配線幅は第 1 の実施形態の実施例 1 と同じである。接地導体 22 の材料や誘電体膜 2 の上面における配置領域は、第 1 の実施形態の実施例 1 と同じである。ただし、高周波特性の測定のためには、外部回路と信号配線 3 とを接続する必要があるため、誘電体膜 2 を貫通して信号配線 3 に接続される貫通電極を形成し、信号配線 3 の信号を誘電体膜 2 の下面から上面に取り出して測定を行なった。

【0068】

図 10 は、第 3 の実施形態の実施例（実施例 6）における伝送線路の通過損失の周波数依存性を示すデータである。同図における縦軸は、高周波信号の通過時に伝送線路において生じる実効的な損失を示しており、最大有能電力利得に -1 を乗じた値になっている。同図に示すように、本実施例の伝送線路 5 mm 長あたりの通過損失は、 1 GHz で 1.0 dB 、 5 GHz で 12.0 dB 、 10 GHz で 20.6 dB であった。本実施例では、第 1 の実施形態の実施例 1 とほぼ同様の高周波減衰特性が得られ、容量抵抗体層と接地導体の接続方法の変化や、信号配線と容量抵抗体層と誘電体膜との関係の変化によっても本発明の効果が失われないことが示された。

【0069】

なお、第 1 の実施形態の実施例 1 や第 3 の実施形態の実施例（実施例 5）の構造の伝送線路において、誘電体膜のさらに上面や誘電体基板の下面に任意の総数の誘電体層が配置された場合においても、本発明の効果が失われていない。

【0070】

また、本発明の伝送線路を通信装置内で使用する増幅器（半導体集積回路装置

）へのバイアス供給回路において適用することにより、各増幅器のバイアス端子間の分離特性が向上したことを確認した。また、寄生発振の低減、増幅器のより安定な動作が確認された。

【0071】

ここで、第1～第3の実施形態における容量抵抗体層としては、上述の不純物拡散層（不純物含有半導体層）やニッケルクロム合金膜の他、クロム膜、鉄クロム合金膜、タリウム膜、クロム－酸化珪素の複合体膜、チタン膜などの抵抗体材料を用いることができる。また、ポリシリコンなどの多結晶半導体膜、非晶質半導体膜を用いることも可能である。

【0072】

（第4の実施形態）

図11は、本発明の第4の実施形態における高周波増幅器として機能する半導体集積回路（MMIC）中の出力回路及びバイアス回路の構成を示すブロック回路図である。

【0073】

同図に示すMMICは、能動素子31と、出力端子T_{out}と、能動素子31と出力端子T_{out}とを互いに電氣的に接続する主信号線路32a、32bと、主信号線路32bと出力端子T_{out}との間に介設されたDC阻止キャパシタ38と、主信号線路32a、32bの中間部位から分岐する短絡スタブ33と、短絡スタブ33と接地との間に介設された第1のバイパスコンデンサ34と、DCの電源電圧を供給するためのバイアス端子T_{vd}と、第1、第2伝送線路35、36と、第2伝送線路36－バイアス端子T_{vd}間の部位と接地との間に介設され低周波数領域の信号をショートするための第2のバイパスコンデンサ37とを備えている。また、MMICの外部には、バイアス端子T_{vd}に供給するバイアスを制御するための外部バイアス供給回路39と、外部バイアス端子T_{vo}とが設けられている。

【0074】

ここで、能動素子32、主信号線路32a、32b及びDC阻止キャパシタ38等により、MMICの主信号回路10が構成されている。また、主信号回路1

0 から分岐する短絡スタブ 33 は、RF 整合回路とバイアス供給回路とを兼ねている。そして、短絡スタブ 33、第 1、第 2 の伝送線路 35、36、第 1、第 2 のバイパスコンデンサ 34、37 により、バイアス供給回路 40 が構成されている。また、図 11 には、図示されていないが、主信号線路 32a、32b、…は、さらに任意の数の分岐する短絡スタブや DC 阻止キャパシタ等の整合回路群を経て、出力端子 T_{out} に接続されている。図 11 に示されている第 1 のバイパスコンデンサ 34 は MIM キャパシタである。この MIM キャパシタが短絡スタブ 33 と接地との間に挿入され、設計周波数帯域に対して RF ショートとなるように、その容量値が設定されることにより、第 1 のバイパスコンデンサ 34 として機能している。そして、短絡スタブ 33、第 1、第 2 の伝送線路 35、36、第 1、第 2 のバイパスコンデンサ 34、37 によりバイアス供給回路 40 が構成されている。

【0075】

ここで、バイアス供給回路 40 の第 1 の伝送線路 35 は、一般的なマイクロストリップ線路の構造を有しており、第 2 の伝送線路 36 は、図 1、図 7 又は図 9 に示される本発明の伝送線路の構造を有している。そして、第 2 の伝送線路 36 は、図 3 (b) に示す分布定数回路の構造を有している。

【0076】

例えば、図 11 の下方に例示するように、第 2 の伝送線路 36 は、第 2 の実施形態における図 7 に示す伝送線路の構造を有している。そして、第 1 の伝送線路 35 は、例えば第 2 の伝送線路 35 と共通の誘電体基板 1 (例えば GaAs 基板)、信号配線 3 及び接地導体 11 によって構成され、第 1、第 2 の伝送線路 35、36 が共にはんだ 12 によって外部高周波グラウンド 13 に全面で接続されている。なお、第 1 の伝送線路 35 において、誘電体基板 1 と信号配線 3 との間に誘電体膜が設けられていてもよい。

【0077】

なお、第 2 の伝送線路 36 が図 1 又は図 9 に示す構造を有していてもよい。第 2 の伝送線路が図 1 に示す構造を有している場合には、第 1 の伝送線路 35 がコプレーナ線路構造を有している方が好ましい。第 2 の伝送線路 36 が図 9 に示す

構造を有している場合には、第2の伝送線路36においても、誘電体基板1の上に直接信号配線3を形成した後、誘電体膜2、容量抵抗体層21及び接地導体22を形成することになる。

【0078】

本実施形態の半導体集積回路装置によると、高周波電力の減衰機能の高い第2の伝送線路56を組み込むことにより、従来、寄生発振を防止するために必要とされていたコンデンサを設ける必要がなくなり、MMICの小型化を図ることができる。

【0079】

なお、第2のバイパスコンデンサ37を増幅器内に組み込むのではなく、増幅器の外部の外部バイアス供給回路39に配置してもよい。

【0080】

また、バイアス端子Tvdにおける増幅器の内部と外部との間の電氣的接続には、ワイヤボンディング、バンプなどを用いた接続方法を採用することができる。

【0081】

多段増幅器の場合には、同電位で駆動する各段の能動素子へのバイアス供給回路を共用する場合には、バイアス端子Tvdが増幅器内部で共用される場合もある。

【0082】

従来の技術においては、設計周波数帯域より低い周波数での不要利得の低減や、安定度の向上などのために、図23に示すような、第1のバイパスコンデンサ114とRC直列回路123とを並列配置する回路構造が広く使用されている。ここで、RC直列回路123において、抵抗121と第3のバイパスコンデンサ122とを分布定数回路として機能させ、抵抗とコンデンサの配置順を逆転させることにより、図3(b)に示すような本発明の伝送線路の等価回路を得ることができ、両者が回路的には同一の効果を示しうることがわかる。

【0083】

よって、本発明の増幅器によると、第1のバイパスコンデンサ34によっては終端されない低周波帯域の信号が、バイアス供給回路40の第2の伝送線路36

において減衰するため、安定度の向上、不要利得の低減、増幅器の外部回路へ漏洩する信号の強度の低減が可能となることが理解しうる。

【0084】

図12は、第4の実施形態に係るGaAs系MMICである1段の増幅器全体の平面構造例を概略的に示すブロック図である。同図に示すように、MMICは、能動素子（増幅用MESFET）31と、出力端子T_{out}と、主信号線路32と、DC阻止キャパシタ38と、短絡スタブ33と、第1のバイパスコンデンサ34と、バイアス端子T_{vd}と、第1、第2伝送線路35、36とに加えて、入力回路を備えている。入力回路には、入力端子T_{in}と、DC阻止キャパシタ49と、主信号線路42と、主信号線路42の途中から分岐する入力側バイアス供給回路50とが設けられている。入力側バイアス供給回路50には、短絡スタブ43と、入力側バイパスコンデンサ44と、第1、第2の伝送線路45、46と、バイアス端子T_{vd}とを備えている。そして、第2の伝送線路46は、図11に示す第2の伝送線路36と同じ構造を有している。なお、H_{bi}は短絡スタブ33、43を高周波において短絡処理するためのバイアホール、51、52は開放スタブである。

【0085】

図13は、図23に示す従来のMMIC全体の平面構造例を概略的に示すブロック図である。同図に示すように、MMICは、能動素子（増幅用MESFET）111と、出力端子T_{out}と、主信号線路112と、DC阻止キャパシタ118と、短絡スタブ113と、第1のバイパスコンデンサ114と、バイアス端子T_{vd}と、伝送線路115a、115bと、RC直列回路123（安定化回路）の抵抗体121及び第3のバイパスコンデンサ122とに加えて、入力回路を備えている。入力回路には、入力端子T_{in}と、DC阻止キャパシタ138と、主信号線路132と、主信号線路132の途中から分岐する入力側バイアス供給回路130とが設けられている。入力側バイアス供給回路130には、短絡スタブ133と、入力側バイパスコンデンサ134と、伝送線路135と、安定化回路の抵抗体141及び第3のバイパスコンデンサ142とバイアス端子T_{vd}とが設けられている。なお、H_{bi}は短絡スタブ113、133を高周波において短絡処理す

るためのバイアホール、151、152は開放スタブである。

【0086】

図13と図12とを比べるとわかるように、本発明の伝送線路（第2の伝送線路36、56）をバイアス供給回路40に用いることにより、寄生発振や高周波電力の漏洩を抑制しつつ、MMIC（集積回路装置）全体の占有面積の低減つまり小型化を実現することができる。

【0087】

図12に示す例では、図11に示す第2のバイパスコンデンサ37は、MMIC内に組み込まれていないが、第2のバイパスコンデンサ37をMMIC内に組み込んでよい。

【0088】

なお、多段増幅器においては、入力回路、段間回路、出力回路のいずれにおいても、本発明の伝送線路（図1、図7及び図9参照）を使用することが可能である。

【0089】

また、本発明の半導体集積回路装置は、第4の実施形態で説明した高周波増幅器に限定されるものではなく、広く、ミキサ（混合器）、周波数通倍器、スイッチ、アッテネータ、分周器、直交変調器などの高周波信号を使用するデバイスに適用することができる。

【0090】

また、能動素子としては、電界効果トランジスタ、ヘテロ接合バイポーラトランジスタなどが使用可能である。

【0091】

－実施例7－

ここで、本発明のMMICの実施例7として、以下の構成を有する1段増幅器を作成した。

【0092】

能動素子11には、ゲート長 $0.2\mu\text{m}$ のT型ゲートAlGaAs/InGaAsヘテロ接合FET（ゲート幅 $W_g = 100\mu\text{m}$ ）を用いた。誘電体膜2を厚

さ $1\ \mu\text{m}$ の窒化珪素膜によって構成し、誘電体基板 1 は厚さ $100\ \mu\text{m}$ のガリウム砒素基板によって構成した。信号配線 3 は厚さ $3\ \mu\text{m}$ の金をメッキにより形成した。容量抵抗体層 4 としてガリウム砒素基板の表面に厚さ $0.2\ \mu\text{m}$ の不純物拡散層を形成した。伝送線路として、信号配線 3 を信号線路とするマイクロストリップ線路を用い、ガリウム砒素基板の裏面には、接地導体として厚さ $10\ \mu\text{m}$ の AuSn 膜を形成した。

【0093】

そして、設計周波数を $25\ \text{GHz}$ から $27\ \text{GHz}$ として本実施例の増幅器の設計を行なった。増幅器のドレイン側回路（出力回路）には、短絡スタブ整合回路を使用し、スタブの先端を $0.5\ \text{pF}$ のバイパスコンデンサを介してバイアホールへ接続し短絡処理した。該バイアホールは、ガリウム砒素基板を貫通しており、裏面の接地導体と接続されている。また、バイパスコンデンサの上部電極の一部は $20\ \mu\text{m}$ の幅で分岐し、バイアス供給回路の伝送線路の信号配線に接続した。バイパスコンデンサの容量値 $0.5\ \text{pF}$ は設計周波数帯域の信号を RF ショートとするに十分な値なので、設計帯域においては増幅器からバイアス供給回路はオープンとなっている。信号配線長、容量抵抗体層長はともに $300\ \mu\text{m}$ とし、信号配線幅、容量抵抗体層幅はそれぞれ $30\ \mu\text{m}$ 、 $80\ \mu\text{m}$ とした。容量抵抗体層の片側にバイアホールを一箇所設けて容量抵抗体層と接続し、容量抵抗体層を短絡処理した。なお、容量抵抗体層と接続されたバイアホールと、短絡スタブを短絡処理したバイアホールとは同一とした。バイアス供給回路は、一辺 $80\ \mu\text{m}$ の正形状のバイアス端子で終端され、多層セラミック基板上に形成された増幅器外部のバイアス供給回路とはワイヤボンディングで接続した。増幅器の外部のバイアス供給回路では $100\ \text{pF}$ のチップコンデンサにより低周波帯域を短絡処理した。増幅器は、 $25\ \text{GHz}$ から $27\ \text{GHz}$ で $9.2\ \text{dB}$ の小信号利得を得た。また、全周波数帯域で安定係数 K が 1 を超え、安定動作が確認された。増幅器の外部のバイアス供給回路において電源からバイアス端子までの配線の電気長、特性インピーダンス、接続するワイヤの長さ、本数を変更しても安定係数 K に変化はなかった。

【0094】

－比較例 2－

一方、比較例 2 として、実施例 7 の高周波増幅器の構成要素から容量抵抗体層（図 1 に示す容量抵抗体層 4）を除いた図 11 に示す構造を有する高周波増幅器を製造した。

【0095】

図 14 は、実施例 7 の増幅器と比較例 2 の増幅器の安定係数 K の周波数依存性を比較して示すデータである。図中、破線は実施例 7 の増幅器の特性を、実線は比較例 2 の増幅器の特性を示している。同図からわかるように、本発明の構造を採用した実施例 7 の増幅器では、安定特性が得られているのに対し、比較例 2 の増幅器の安定係数 K は、16 GHz では 0.91、20 GHz では 0.61 と 1 未満の値となり、安定動作を保証することが困難であった。

【0096】

そして、比較例 2 の増幅器について、多層セラミック基板上に形成された外部バイアス供給回路上における、ワイヤから電源までの配線長を 2 mm、配線線路の特性インピーダンスを 75 Ω として、発振動作の有無を調べた。そして、このときには未発振動作した 80 個の増幅器について、配線長を 5 mm に変更すると、80 個の増幅器中の 32 個の増幅器が発振を起こした。また、上記未発振動作した 80 個の増幅器中の 9 個の増幅器が配線の特性インピーダンスを 40 Ω へと変更しただけで発振を起こした。

【0097】

さらに、比較例 2 の増幅器について、バイアス端子の接続のために使用したボンディングワイヤ長を 0.5 μm に設定し、各端子につき直径 50 μm のワイヤ一本で接続を行なった状態で未発振動作した 80 個の増幅器について、ボンディングワイヤ長を 1 μm に変更すると、40 個の増幅器が発振した。また、上記未発振動作した 80 個の増幅器について、ワイヤの接続本数を 2 本に変更すると、80 個中の 12 個の増幅器が発振した。

【0098】

また、増幅器の 3 GHz から 6.5 GHz 程度の低周波帯域における安定係数 K を比較すると、実施例 7 の増幅器では 6 以上の値が得られて安定動作している

のに比べ、比較例 2 の増幅器では 1 未満の値となり不安定であった。さらに、比較例 2 の増幅器について 100 個製造したうちの 20% が能動素子の特性ばらつきにより、5 GHz 付近の周波数帯域で発振を起こした。

【0099】

以上の比較より、本実施形態の MMIC により、MMIC 内の短絡スタブ回路からバイアス供給回路へ漏洩する高周波信号を減衰させることが可能となったため、バイアス供給回路の外部に接続される外部バイアス供給回路のインピーダンス変化が増幅器特性に与える影響を減じることが可能となり、より安定な増幅器動作という有利な効果が得られたことが分かる。

【0100】

図 15 は、実施例 7 の増幅器と比較例 2 の増幅器の小信号利得の周波数依存性を比較して示す図である。同図において、破線は実施例 7 の増幅器の特性を、実線は比較例 2 の増幅器の特性を示している。比較例 2 の増幅器では不要帯域である 4 GHz から 7 GHz で不要な利得が得られたが、実施例 7 の増幅器では 19.5 GHz 未満の低周波帯域（不要帯域）における利得は正の値をとらず、本実施形態の構造の採用により、低周波帯域の不要利得の低減という有利な効果が得られたことが分かる。また、比較例 2 の増幅器では 20 GHz 付近の周波数で設計周波数帯域（25～27 GHz）における利得を上回る 10 dB 以上の利得が得られたが、実施例 7 の増幅器では 20 GHz の利得は 0 dB であり、この帯域においても、本構造の採用により不要利得の低減という有利な効果が得られたことが分かる。

【0101】

－比較例 3－

また、図 22 に示す構造、つまり直列抵抗（抵抗値 119）が挿入されたバイアス供給回路を有する比較例 4 の増幅器を作成した。

【0102】

図 16 は、実施例 7 の増幅器と比較例 3 の増幅器の安定係数 K の周波数依存性を比較して示す図である。図 17 は、実施例 7 の増幅器と比較例 3 の増幅器の小信号利得の周波数依存性を比較して示す図である。ここで、能動素子の駆動電圧

を極端に低下させないために、抵抗体 119 の抵抗値 $R1 = 20\ \Omega$ とした。

【0103】

同図に示すように、比較例 3 の増幅器の安定係数 K は、5 GHz から 10 GHz 付近の低周波帯域、および、20 GHz 以上の帯域で、実施例 7 の増幅器の特性を大きく下回り、安定度が劣化した。ここで、比較例 3 の増幅器の安定係数 K は、5 GHz から 10 GHz においては 1 を上回っているため大きな不具合は生じないが、20 GHz 以上の帯域では 1 を下回っており安定動作に大きな不具合が生じてしまった。

【0104】

比較例 3 の増幅器では、バイアス供給回路を通過して外部回路へ漏洩する高周波信号は、直列に挿入された抵抗体 119 によって広帯域に一定量に近い減衰を受ける。それに対し、実施例 7 の増幅器内のバイアス供給回路においては、高周波信号の漏洩信号に対して減衰を与える要素は、信号配線 3 と容量抵抗体層 4 (図 1 参照) とが相対向している領域に沿って空間的に分布した分布定数回路 8 図 3 (b) 参照) なので、漏洩信号の中でも高周波になればなるほど減衰量が増加する。よって、図 22 に示す第 1 のバイパスコンデンサ 114 により完全にショートされない漏洩信号のうち最も高い周波数成分に対して安定度の向上を図ることは比較例 3 の増幅器では困難だが、実施例 7 の増幅器では容易である。

【0105】

また、比較例 3 の増幅器でも、低周波帯域での不要利得の低減の効果はある程度得られるが、6 GHz での小信号利得は -1 dB あった。実施例 7 の増幅器におけるこの帯域での小信号利得は -8 dB 程度であり、挿入される抵抗体 119 の抵抗値を大きく設定できない条件下での比較例 3 の増幅器では、不要利得を効果的に抑制することが困難なことが分かった。また、図 22 に示される比較例 3 の増幅器においては、不要利得の低減の効果を得るために挿入される抵抗体 119 の抵抗値を大きく設定すると、バイアス端子 T_{vd} から能動素子 111 へ印加される電圧が低下してしまい、出力低下をまねいてしまうことはいうまでもない。比較例 3 の増幅器の 25 GHz における飽和出力は 16.2 dBm であって、実施例 7 の増幅器の 25 GHz での飽和出力 16.6 dBm と比較すると 0.4 dB

Bだけ低くなっている。これは、比較例3の増幅器においては、バイアス供給回路への抵抗体119の挿入によって能動素子111の駆動電圧が低下したためである。

【0106】

以上のように、比較例3の増幅器と実施例7の増幅器の特性比較より、本発明の構造の採用により、能動素子の駆動電圧を低下させることなく、不要利得低減、安定度向上という有利な効果を得ることが可能であることが示された。

【0107】

－比較例4－

また、図23に示すRC直列回路123によって高周波信号を並列に短絡処理したバイアス供給回路120Cを備えた比較例4の増幅器を作成した。

【0108】

図18は、実施例7の増幅器と比較例4の増幅器の安定係数Kの周波数依存性を比較して示す図である。図19は、実施例7の増幅器と比較例4の増幅器の小信号利得の周波数依存性を比較して示す図である。ここで、RC直列回路123の回路定数として $R = 10\ \Omega$ 、 $C = 10\ \text{pF}$ を選択している。

【0109】

図19に示すように、比較例4においても、低周波領域における利得の大きな抑制効果が得られた。また、図18、図19に示すように、比較例4の増幅器においては、数GHz程度の低周波帯域における不要利得抑制、安定度向上について、ともに実施例7の増幅器と同程度の効果が得られている。しかし、MIMキャパシタで $10\ \text{pF}$ の容量値を得るために $210\ \mu\text{m}$ 角の面積が必要となり（図13に示すキャパシタ122）、さらに短絡処理回路にバイアホール（図13に示すバイアホールHbi1）が必要となり、さらに $10\ \Omega$ の抵抗をメサ抵抗（図13に示す抵抗体121）によって実現するためにも回路面積が必要となり、回路レイアウトを大きく制限することになった。一方、実施例7の増幅器のレイアウトにおいては、比較例2の増幅器のレイアウトと比較して、誘電体膜2を介して信号配線3の直下に容量抵抗体層4を設け、その近辺にバイアホールを配置するだけでよく、レイアウトに対する制限は緩和されて同様の効果が得られている。

【0110】

以上の比較より、本発明の構造の採用により、増幅器を構成する半導体集積回路装置の回路面積を増大することなく、不要利得の低減、安定度の向上という有利な効果を、実現できることが示された。

【0111】

また、比較例 4 の増幅器においては、バイパスコンデンサ間や、バイアス供給回路を構成する伝送線路は、誘電体基板及び誘電体膜から構成される回路基板を基板とする通常のマイクロストリップ線路であり、基板上面の空気層への電界の分布が多く、周辺回路との結合が起こりやすいという難点もあり、回路コンポーネントの配置によっては、意図せぬ回路同士の間の電磁的結合に起因するものと考えられる発振が生じるおそれがある。

【0112】

それに対し、本発明の特徴であるバイアス供給回路の第 2 の伝送線路 36（図 11 参照）においては、信号配線 3 と容量抵抗体層 4 との間の間隔が短く設定されているので、伝送線路の特性インピーダンスが低くなっており、電界分布は誘電体膜 2 に集中し、周辺回路との電磁的結合を大きく低減することが可能となる。よって、実施例 7 の増幅器においては、回路コンポーネントの配置を変更しても、高周波特性に変化を生じないという有利な効果も得られた。

【0113】

以上の比較より、本発明の構造を採用することにより、能動素子の駆動電圧を低下させることなく、不要利得低減、安定度向上という有利な効果を、回路面積を占有せずに得ることが可能であることが明らかとなった。

【0114】

－実施例 7 b 及び比較例 2 b ～ 4 b－

本発明の実施例 7 の増幅器の構成を 2 段増幅器において採用して、前後段の能動素子を駆動するためのバイアス供給回路を実施例 7 に示すバイアス供給回路とした実施例 7 b の増幅器を作成した。また、比較例 2 ～ 4 の増幅器の構成を 2 段増幅器において採用して、前後段の能動素子を駆動するためのバイアス供給回路を各比較例のバイアス供給回路とした比較例 2 b ～ 4 b の増幅器をそれぞれ作成

した。この場合、比較例 2 b, 3 b の増幅器においては 20 GHz で発振が起こったが、実施例 7 b 及び比較例 4 b の増幅器においては発振が生じなかった。2 段増幅器の後段能動素子から出力された信号が増幅器内部で共有されたバイアス供給回路を介して前段能動素子へ帰還する帰還信号の位相は、前後段の各短絡スタブの電気長の和と、各段のバイアス供給回路の伝送線路の電気長の和に依存する。作成した実施例 7 b 及び比較例 2 b ~ 4 b の増幅器においては、この電気長の和が、20 GHz に対して半波長に近い値になっており、後段の能動素子からの出力が前段の能動素子へ正帰還の位相で入力する条件になっていた。比較例 2 b の増幅器で生じた発振現象は、正帰還信号に全く減衰が生じなかったことに起因するものと理解することができる。また、比較例 3 b の増幅器においても、バイアス供給回路において正帰還信号が受ける減衰量が不足していたために発振が起こったものと理解される。

【0115】

一方、実施例 7 b の増幅器と比較例 4 b の増幅器とは、構造こそ互いに異なるものの、バイアス供給回路へ漏洩する不要周波数帯域の信号に対して損失を与える機能はいずれも有しているので、後段能動素子から前段能動素子への帰還信号が減衰したために発振が起こらなかったものと理解される。また、回路が占有する面積という視点から実施例 7 b の増幅器と比較例 4 b の増幅器を比較すると、比較例 4 b の増幅器は 10 pF の大容量なバイパスコンデンサが前段後段に別個に必要となり大きな回路面積を必要とするが、実施例 7 b の増幅器においては大容量のバイパスコンデンサは不要であり、占有面積の削減を図りつつ、安定動作を確保することができるという本発明の有利な効果が明らかとなっている。

【0116】

したがって、本発明の伝送線路を、増幅器等の半導体集積回路装置内のバイアス供給回路に設定することにより、能動素子の駆動電圧を降下させることなく、かつ、半導体集積回路装置の占有面積の増大を抑制しつつ、バイアス供給回路が接続される半導体集積回路装置の外部のバイアス供給回路のインピーダンス変化による特性変化を抑制し、不要利得の低減、安定度の向上といった有利な効果を得ることができる。

【0 1 1 7】

特に、本発明の半導体集積回路装置は、ミリ波通信システムへと半導体集積回路装置の用途を拡大する上で寄与するところが大きい。

【0 1 1 8】

なお、上記各実施形態や実施例においては、誘電体基板として G a A s 基板を用いたが、本発明はかかる実施形態に限定されるものではなく、G a N 基板、I n P 基板を用いてもよい。また、誘電体基板として、酸化物などからなる絶縁体基板を用いてもよい。さらに、「誘電体基板」や「半導体基板」という語句は、必ずしも厳密な意味で用いられていない。G a A s 基板は、「半絶縁性基板」といわれることもあり、不純物をドーピングすると半導体基板として機能する。よって、本発明の基板としては、高周波線路の基本構造に応じて各種の基板を用いることができる。

【0 1 1 9】**【発明の効果】**

本発明の伝送線路又はこれを配置した半導体集積回路装置によると、直流信号を減衰することなく、高周波信号の特に高周波成分を効率よく減衰することができる。

【図面の簡単な説明】**【図 1】**

本発明の第 1 の実施形態の伝送線路の構成を概略的に示す断面図である。

【図 2】

実施例 1 の伝送線路の通過損失の周波数依存特性を示すデータである。

【図 3】

(a) , (b) は、それぞれ順に、従来の伝送線路と本発明の伝送線路との等価回路図である。

【図 4】

実施例 2 の伝送線路の通過損失の周波数依存性を示すデータである。

【図 5】

実施例 3 の伝送線路の通過損失の周波数依存性を示すデータである。

【図 6】

実施例 4 における伝送線路の通過損失の周波数依存性を示すデータである。

【図 7】

第 2 の実施形態の伝送線路の構造を示す断面図である。

【図 8】

第 2 の実施形態の実施例（実施例 5）における伝送線路の通過損失の周波数依存性を示すデータである。

【図 9】

本発明の第 3 の実施形態の伝送線路の構成を概略的に示す断面図である。

【図 1 0】

第 3 の実施形態の実施例（実施例 6）における伝送線路の通過損失の周波数依存性を示すデータである。

【図 1 1】

本発明の第 4 の実施形態における半導体集積回路（MMIC）中の出力回路及びバイアス回路の構成を示すブロック回路図である。

【図 1 2】

第 4 の実施形態に係る GaAs 系 MMIC である 1 段の増幅器全体の平面構造例を概略的に示すブロック図である。

【図 1 3】

図 2 3 に示す従来の MMIC 全体の平面構造例を概略的に示すブロック図である。

【図 1 4】

実施例 7 の増幅器と比較例 2 の増幅器の安定係数 K の周波数依存性を比較して示すデータである。

【図 1 5】

実施例 7 の増幅器と比較例 2 の増幅器の小信号利得の周波数依存性を比較して示す図である。

【図 1 6】

実施例 7 の増幅器と比較例 3 の増幅器の安定係数 K の周波数依存性を比較して

示す図である。

【図 17】

実施例 7 の増幅器と比較例 3 の増幅器の小信号利得の周波数依存性を比較して示す図である。

【図 18】

実施例 7 の増幅器と比較例 4 の増幅器の安定係数 K の周波数依存性を比較して示す図である。

【図 19】

実施例 7 の増幅器と比較例 4 の増幅器の小信号利得の周波数依存性を比較して示す図である。

【図 20】

(a), (b) は、それぞれ一般的なマイクロストリップ線路, コプレーナ線路の構造を概略的に示す断面図である。

【図 21】

第 1 の従来の高周波増幅器として機能するモジュール中の出力側の回路構成を示すブロック回路図である。

【図 22】

共振の Q 値低減のための構造を付加した第 2 の従来の高周波増幅器中の出力側の回路構成を示すブロック回路図である。

【図 23】

文献に開示される, 共振の Q 値低減のための別の構造を付加した第 3 の従来の高周波増幅器中の出力側の回路構成を示すブロック回路図である。

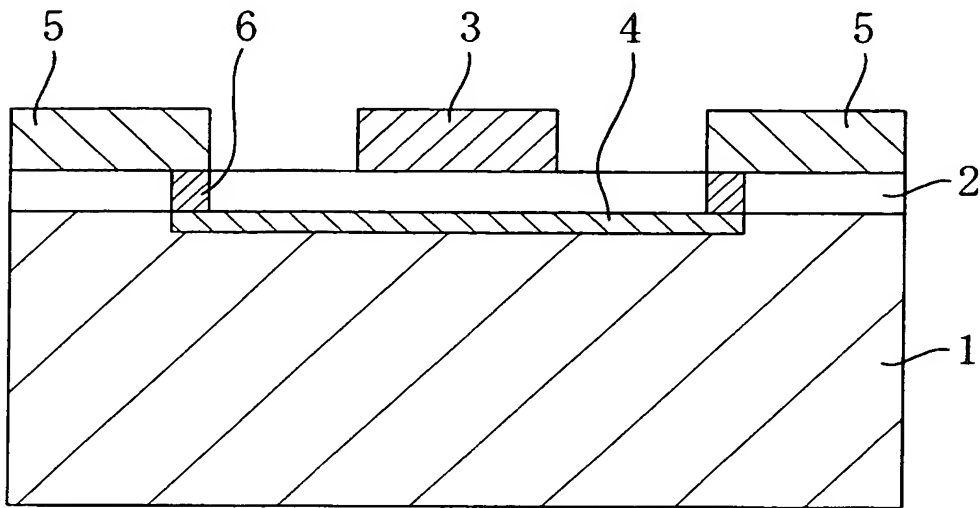
【符号の説明】

- 1 誘電体基板
- 2 誘電体層
- 3 信号配線
- 4 容量抵抗体層
- 5 接地導体
- 6 貫通電極

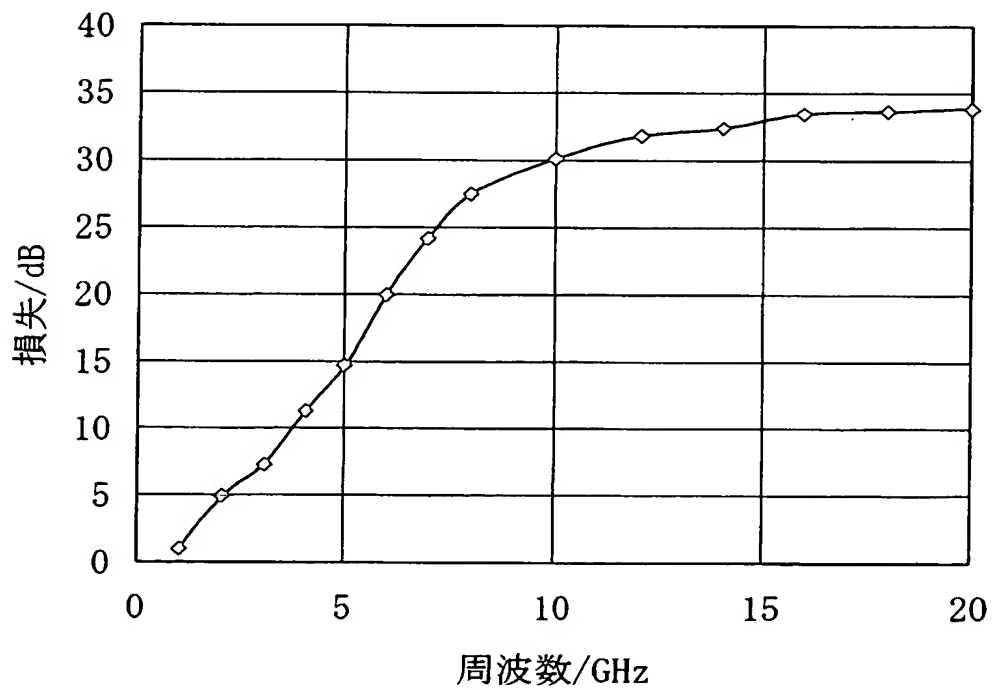
- 1 0 主信号回路
- 1 1 接地導体
- 1 2 はんだ
- 1 3 外部高周波グラウンド
- 2 1 容量抵抗体
- 3 1 能動素子
- 3 2 主信号線路
- 3 3 短絡スタブ
- 3 4 第 1 のバイパスコンデンサ
- 3 5 第 1 の伝送線路
- 3 6 第 2 の伝送線路
- 3 7 第 2 のバイパスコンデンサ
- 3 8 D C 阻止キャパシタ
- 3 9 外部バイアス供給回路
- 4 0 バイアス供給回路
- 4 2 主信号線路
- 4 3 短絡スタブ
- 4 4 入力側バイパスコンデンサ
- 4 5 第 1 の伝送線路
- 4 6 第 2 の伝送線路
- 5 0 入力側バイアス供給回路
- 5 1 開放スタブ
- 5 2 開放スタブ

【書類名】 図面

【図 1】

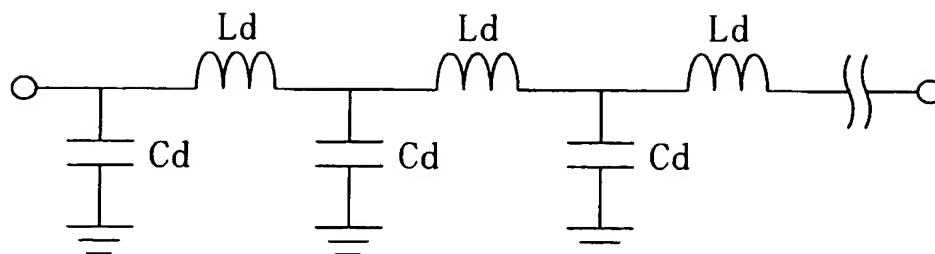


【図 2】

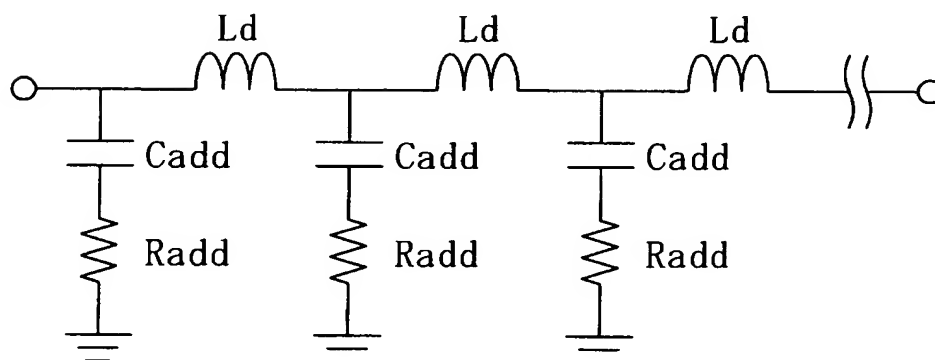


【図 3】

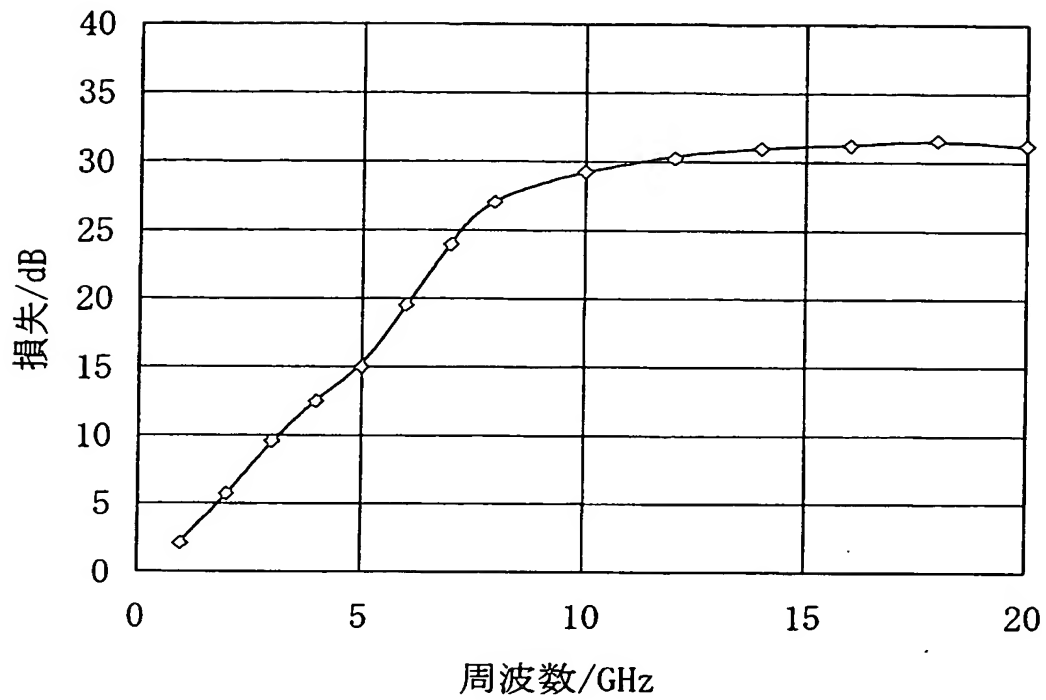
(a)



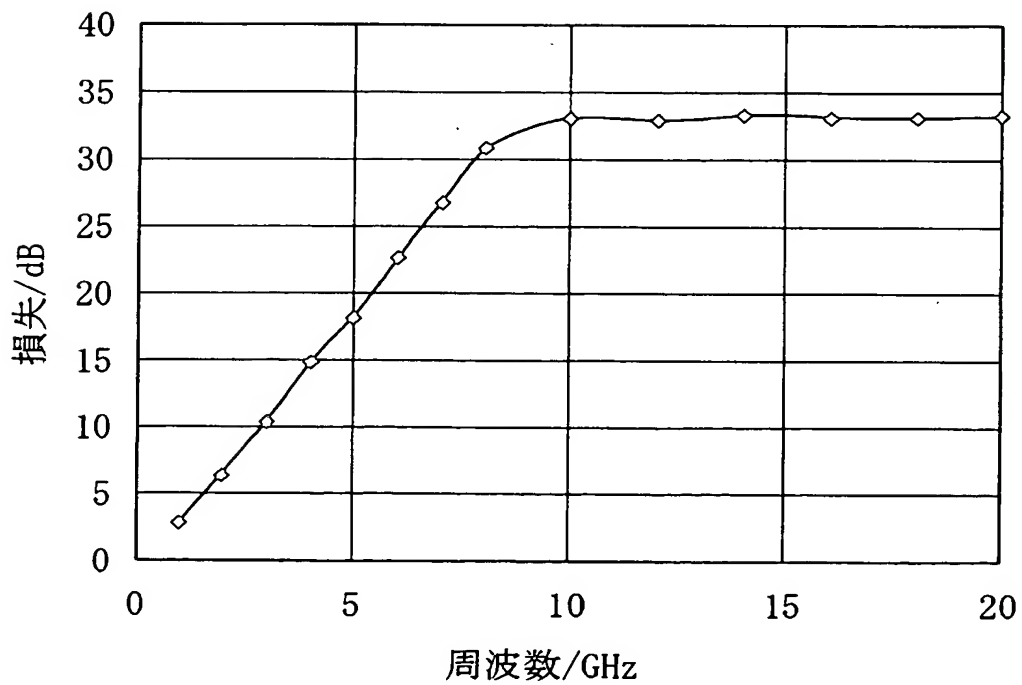
(b)



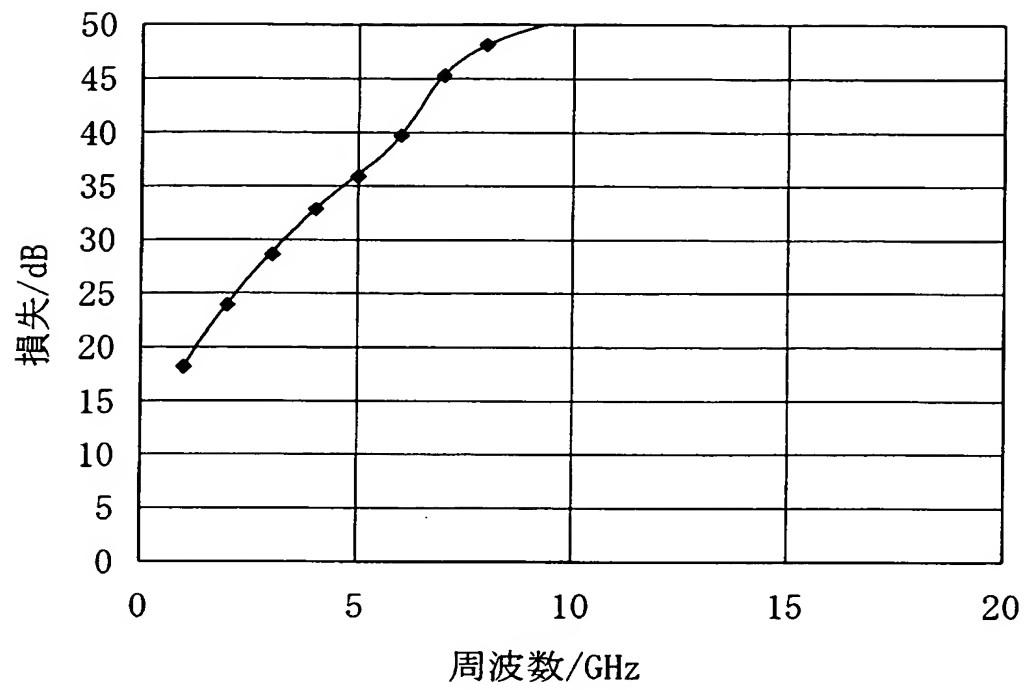
【図 4】



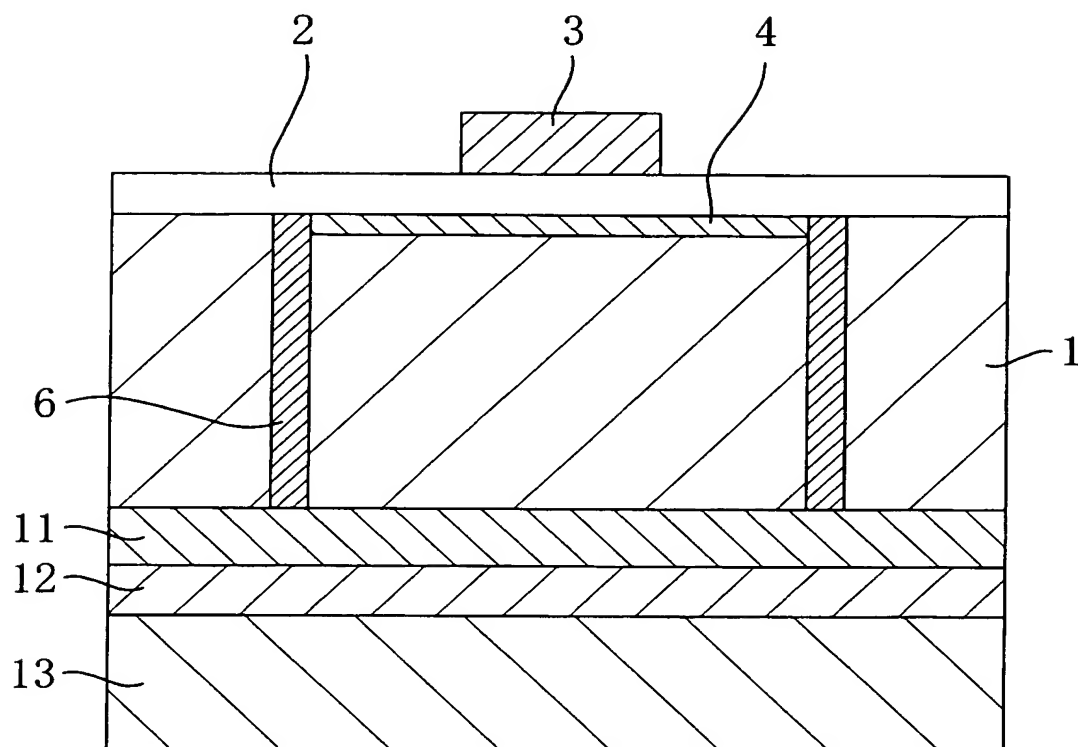
【図 5】



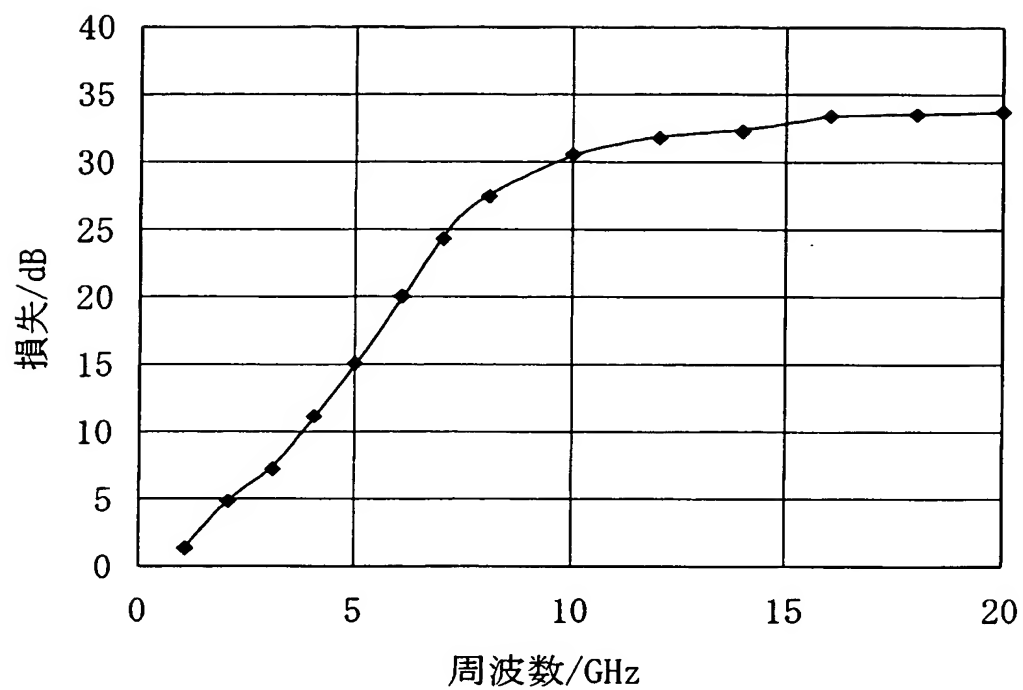
【図 6】



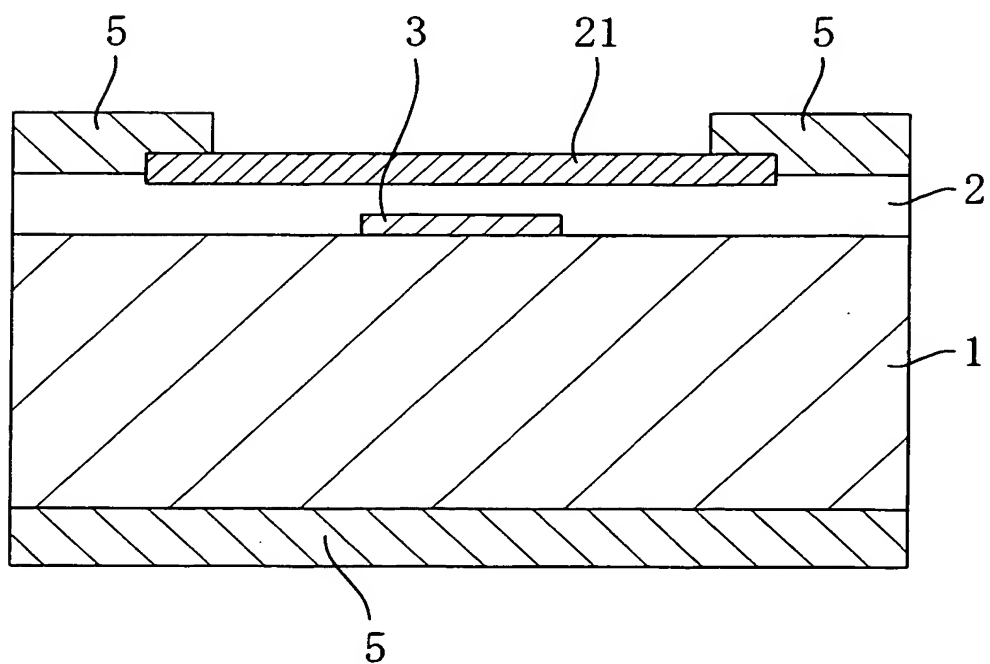
【図 7】



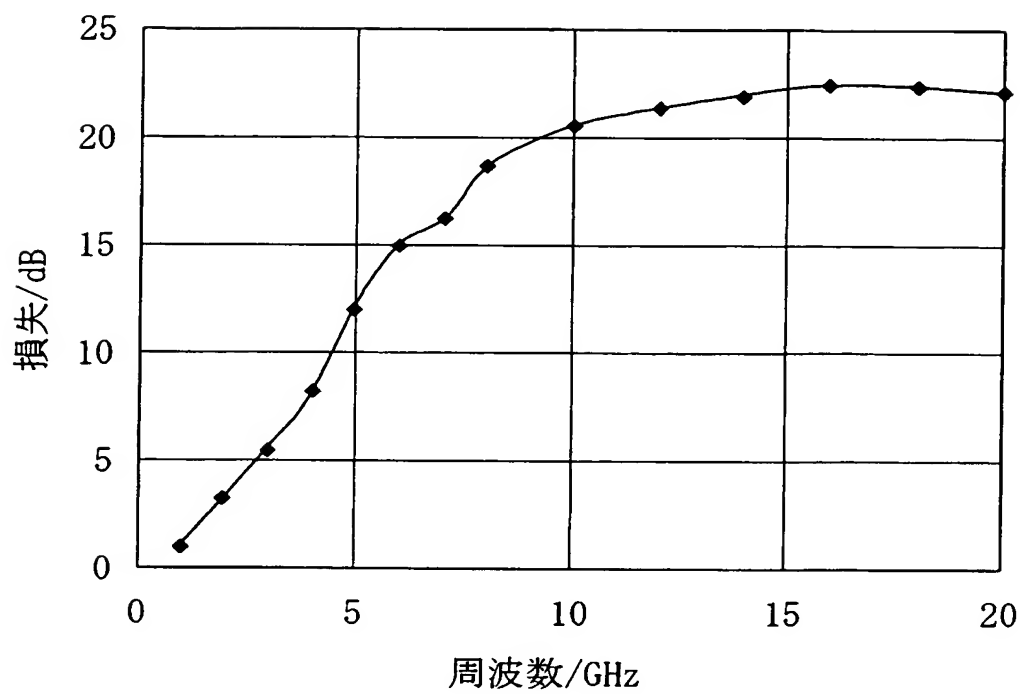
【図 8】



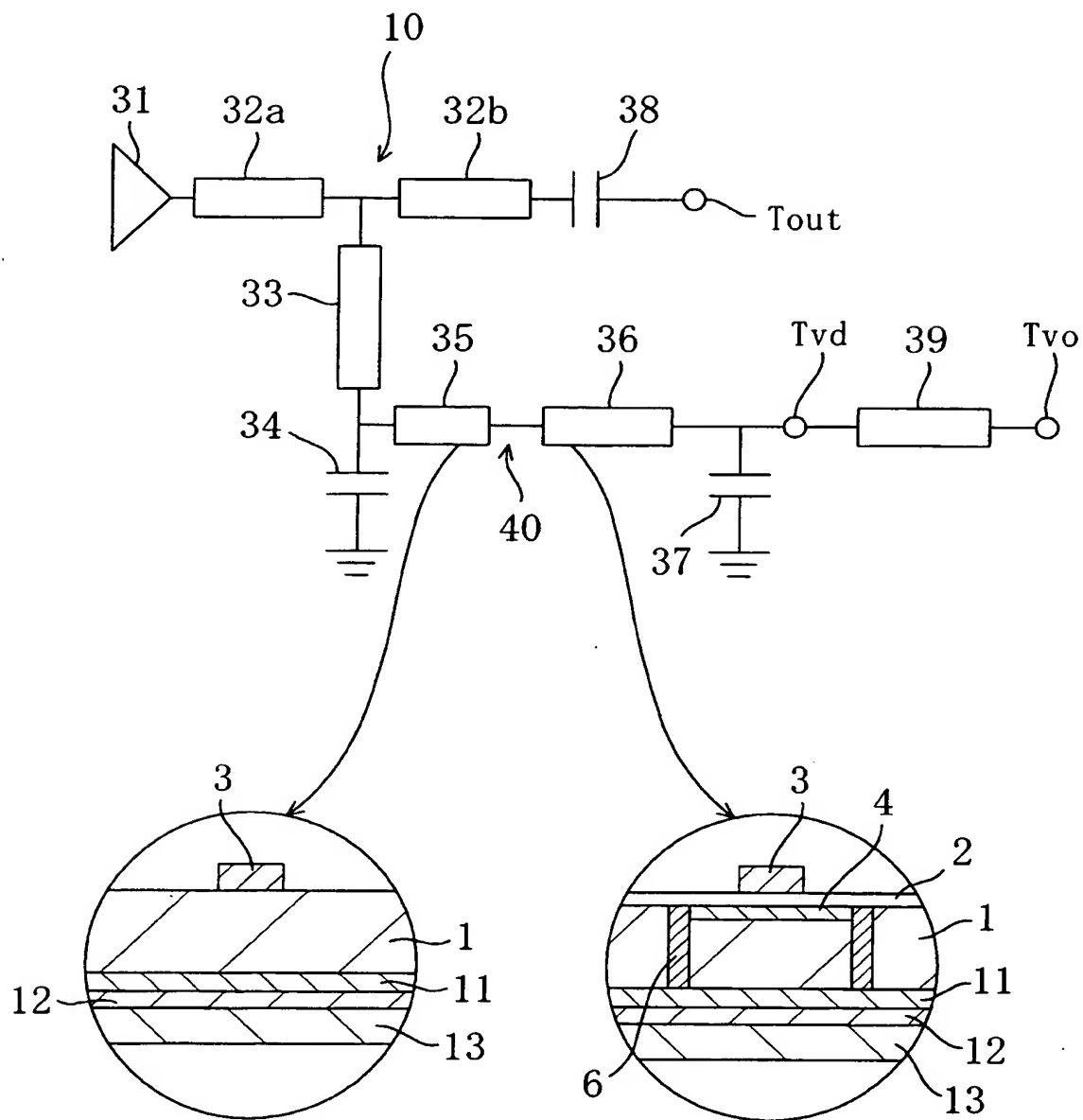
【図 9】



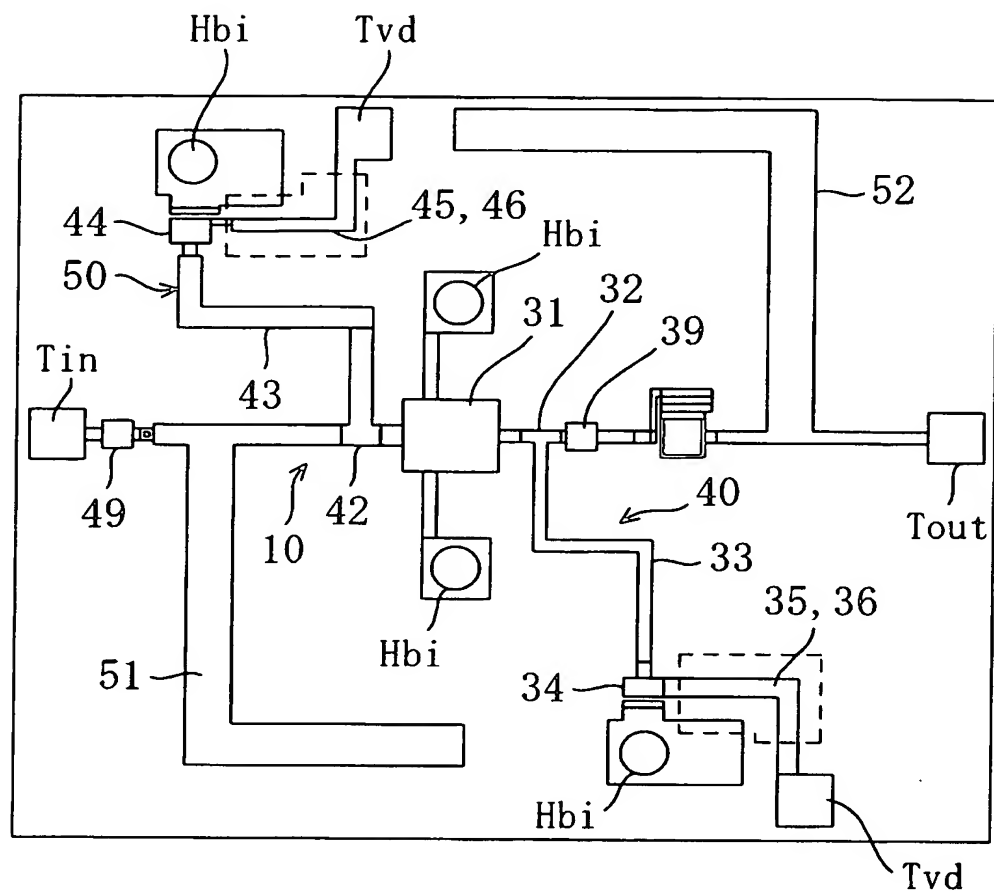
【図 10】



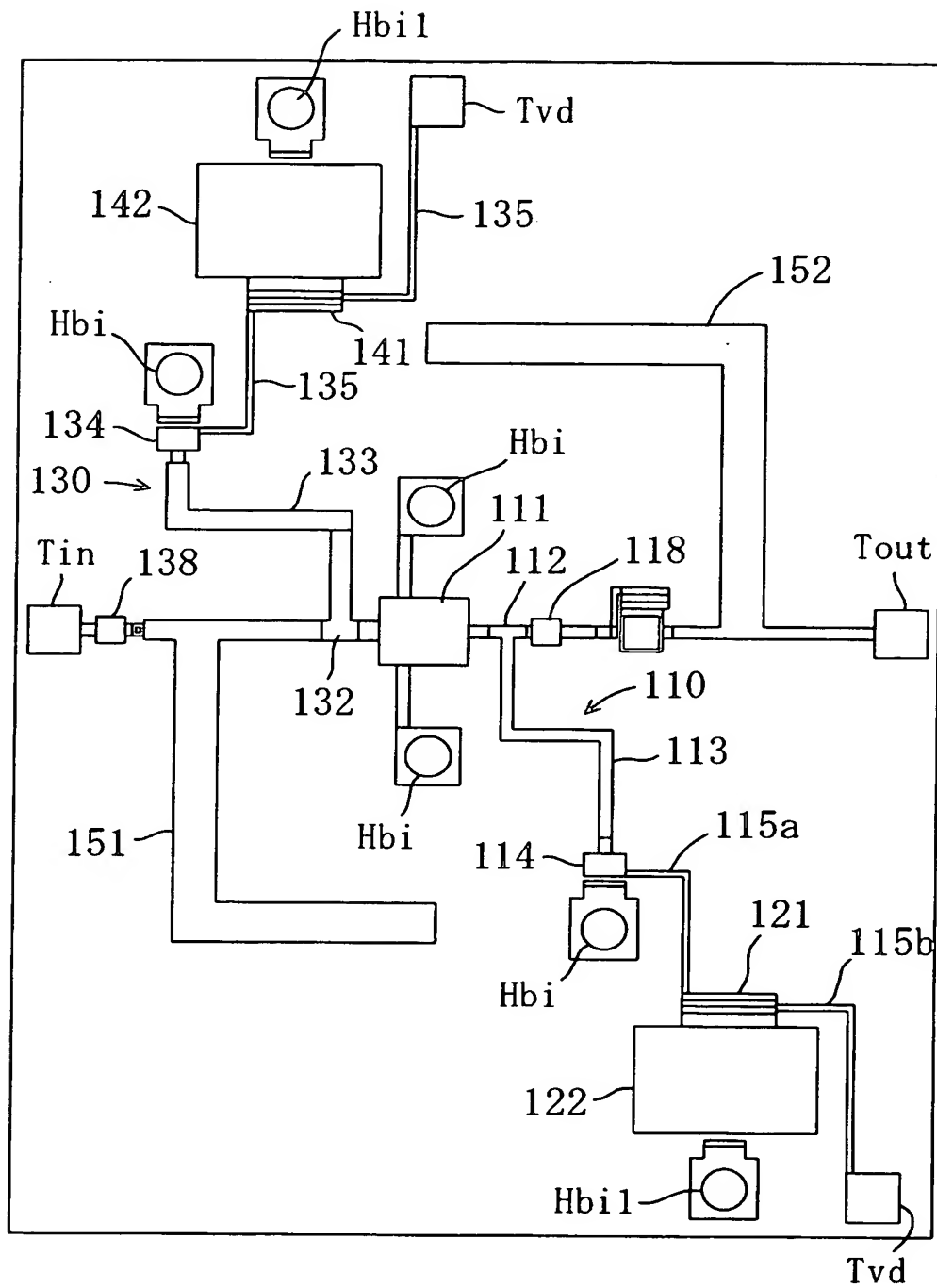
【図 11】



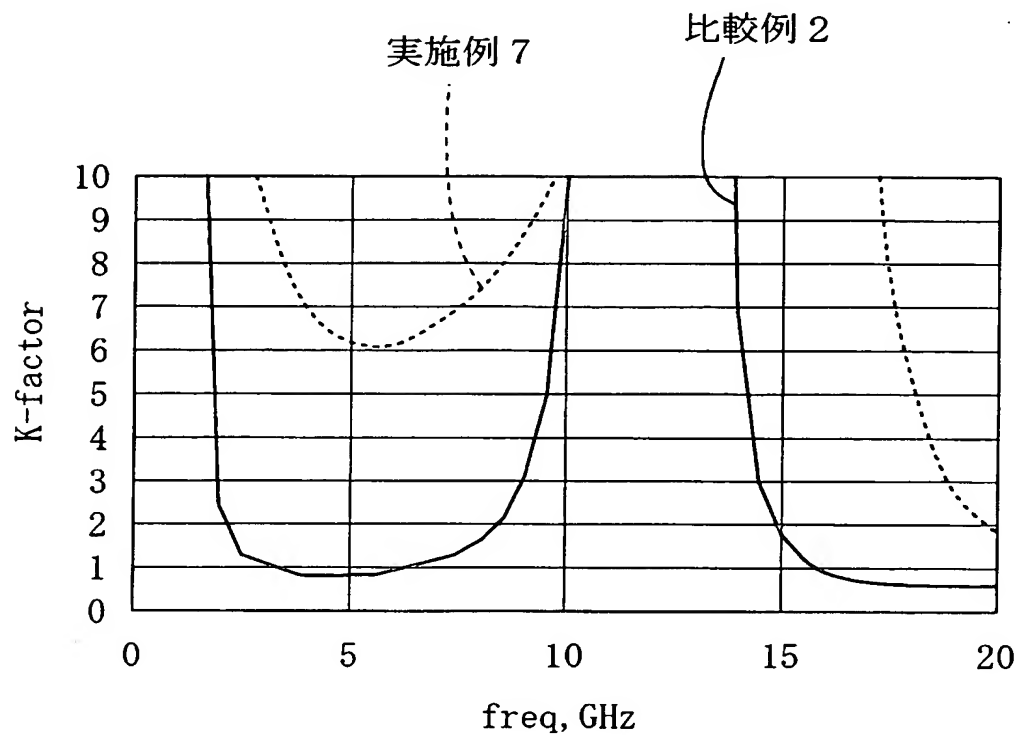
【圖 12】



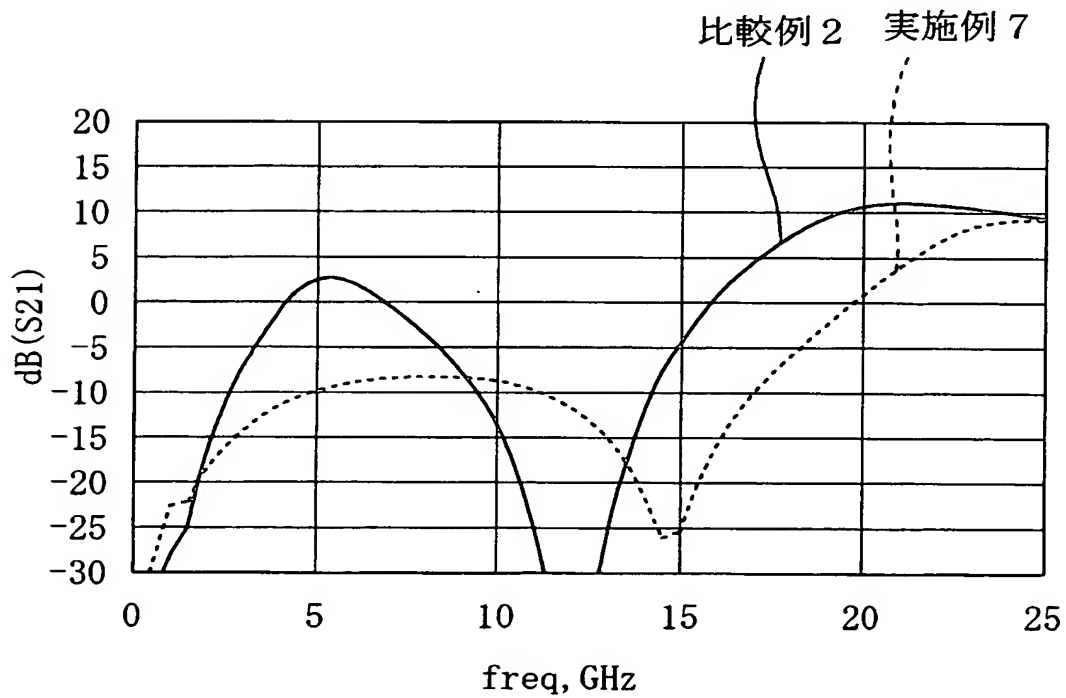
【図 13】



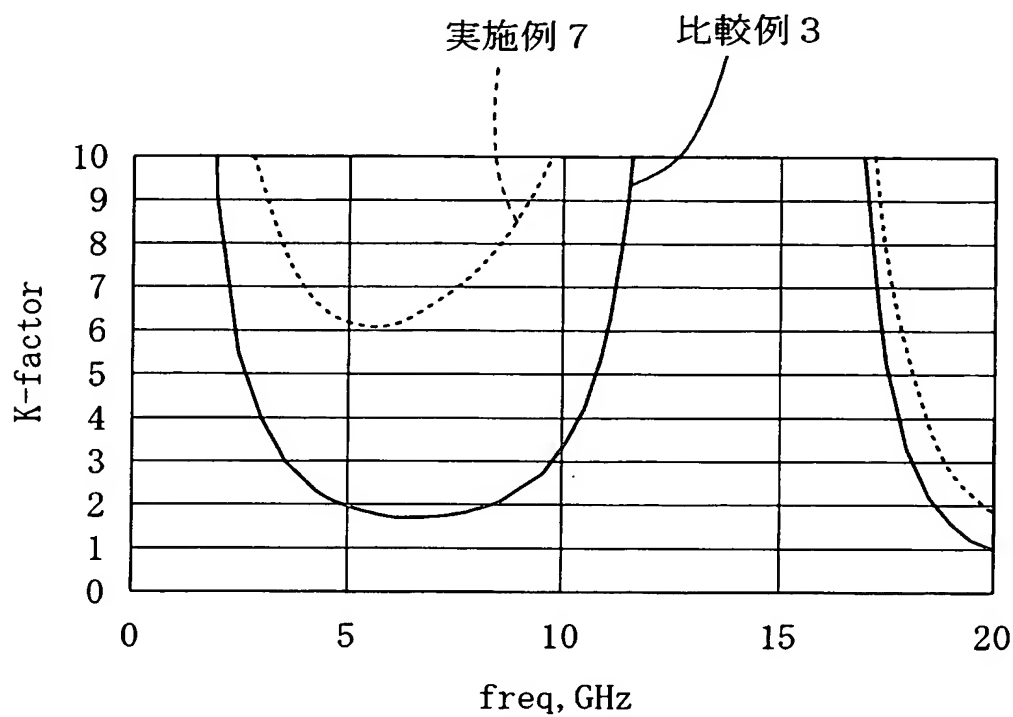
【図 14】



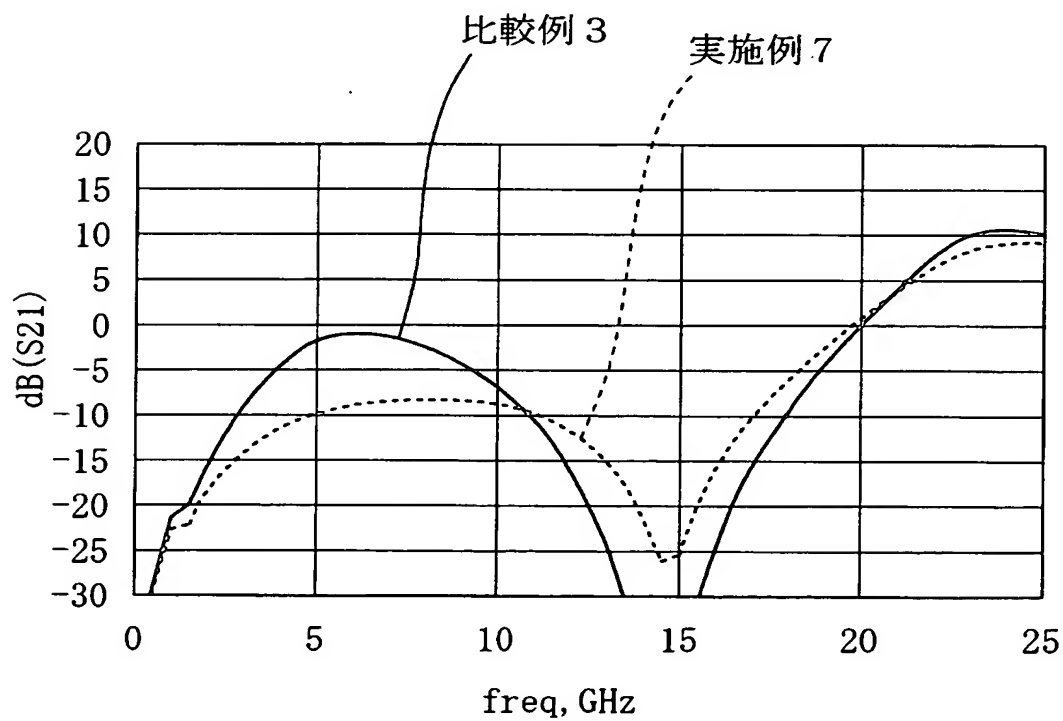
【図 15】



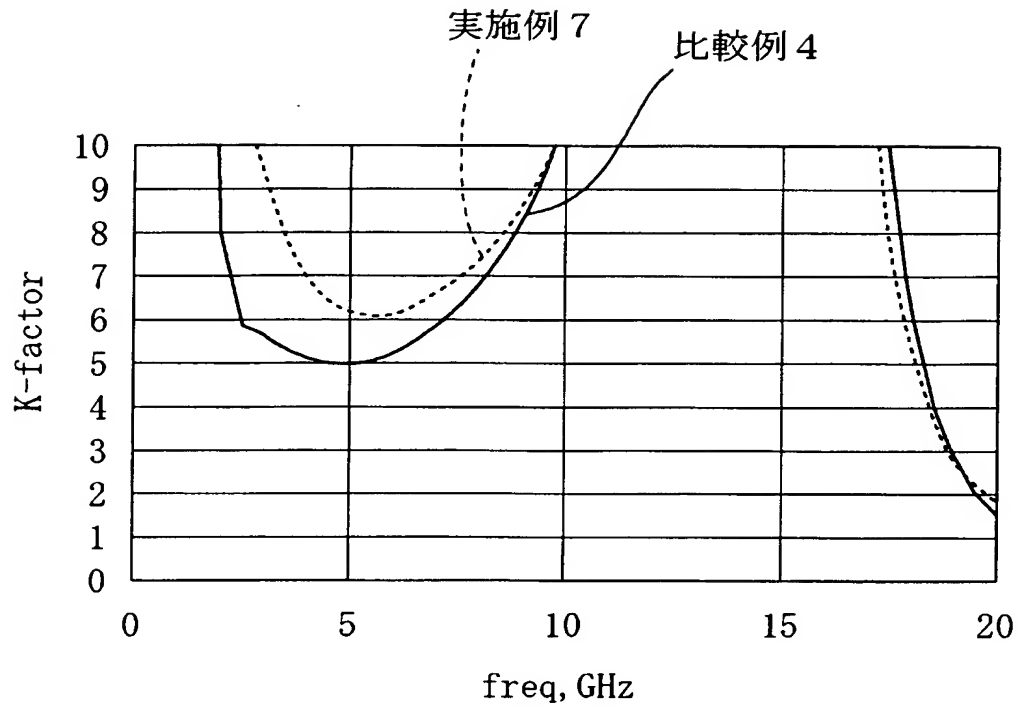
【図 16】



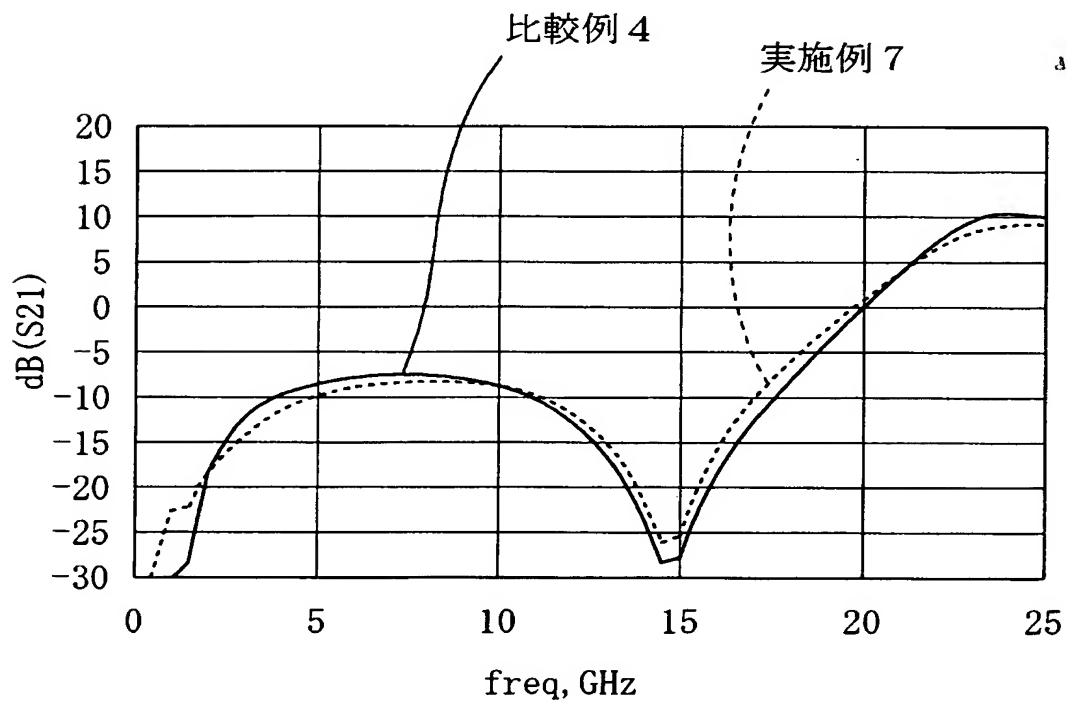
【図 17】



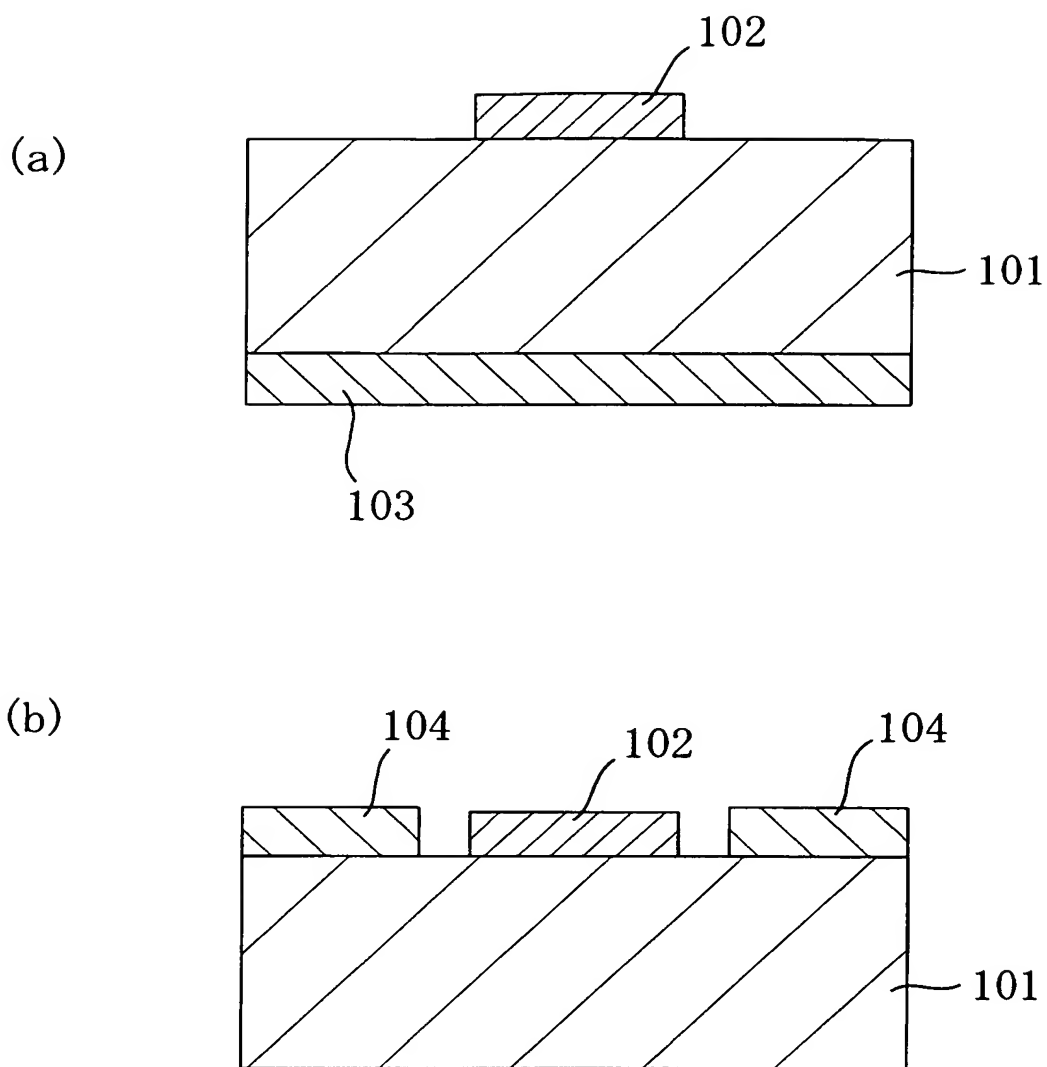
【図 18】



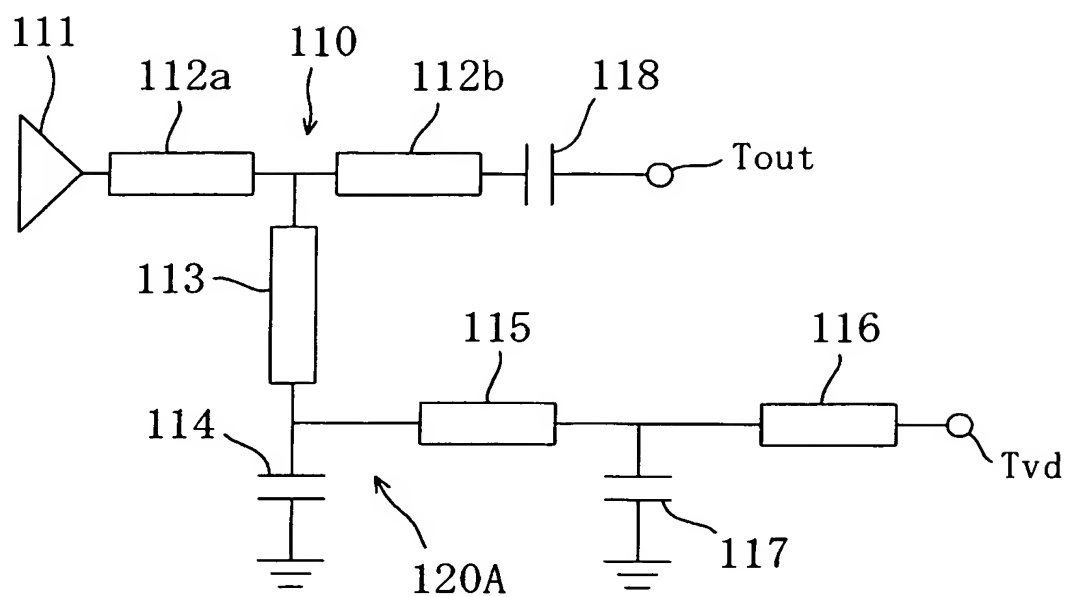
【図 19】



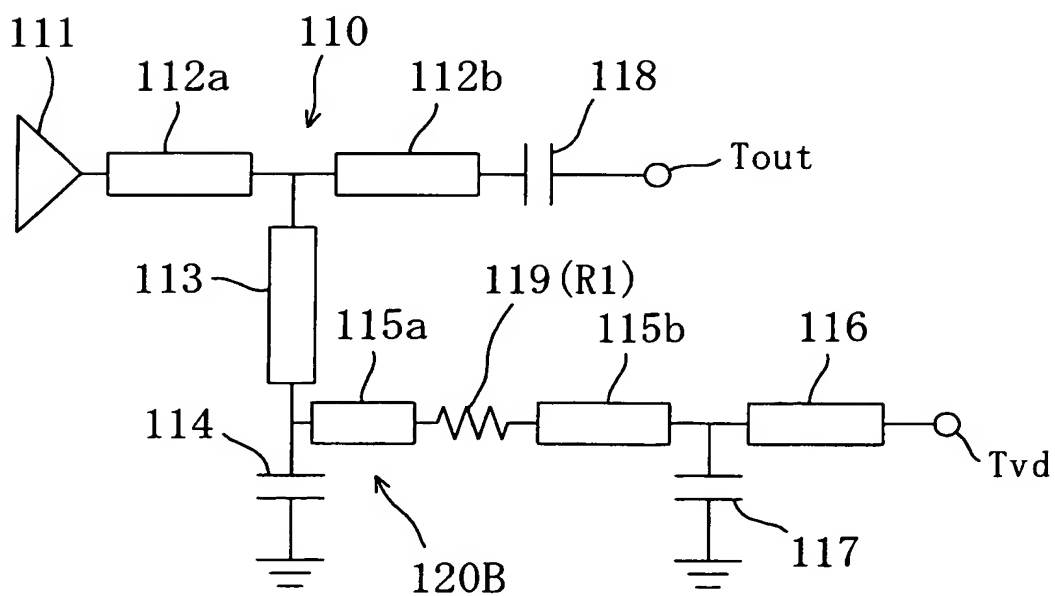
【図 20】



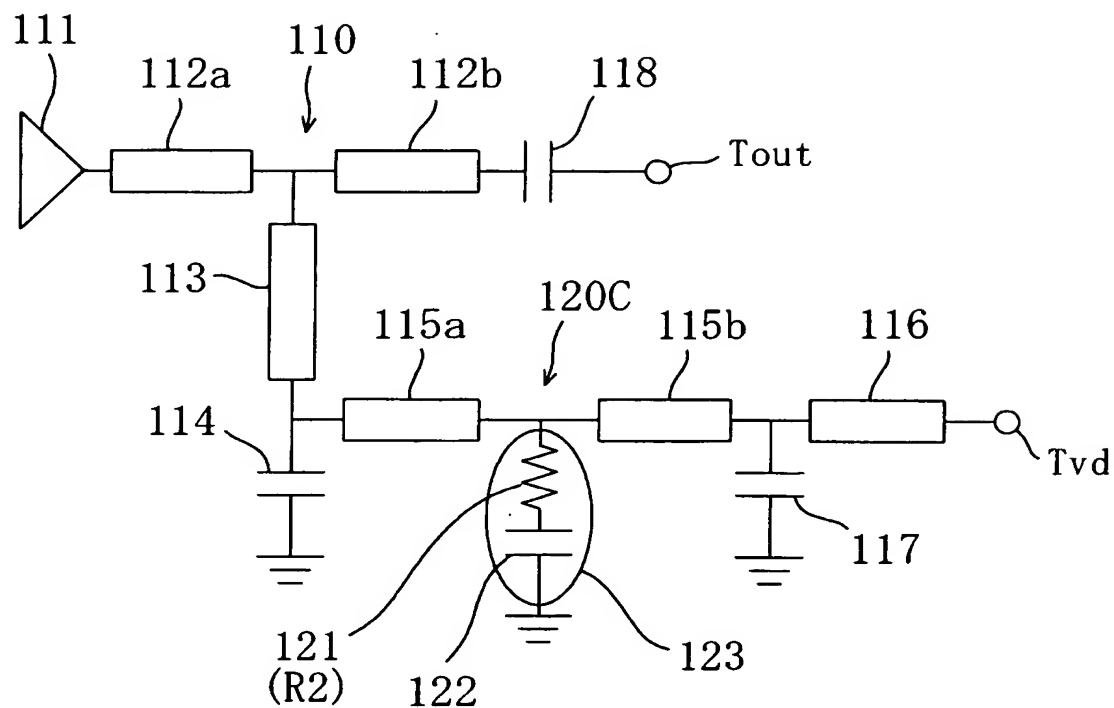
【図 2 1】



【図 2 2】



【図 23】



【書類名】 要約書

【要約】

【課題】 高周波電力の減衰機能の優れた伝送線路及びこれを配置した半導体集積回路装置を提供する。

【解決手段】 伝送線路は、誘電体基板 1 と、誘電体基板 1 の上面上に設けられた誘電体膜 2 と、誘電体膜 2 の上面上に設けられた信号配線 3 と、誘電体基板 1 と誘電体膜 2 との間に介在し信号配線 3 とは誘電体膜 2 を挟んで対向する容量抵抗体層 4 と、誘電体膜 2 の上面上に設けられ、信号配線 3 と所定の間隙を隔てて対向する 1 対の接地導体 5 と、誘電体膜 2 を貫通して容量抵抗体層 4 と接地導体 5 とを互いに接続する貫通電極 6 とを備えている。容量抵抗体層 4 は、接地導体 5 よりも導電率が低い材料によって構成されている。信号配線 3 は、キャパシタと抵抗との直列回路が多数個並列に配置された分布定数回路になり高周波電力の減衰機能が得られる。

【選択図】 図 1

特願 2 0 0 2 - 2 2 4 6 5 1

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社